

**Silicon carbide semiconductor device and method of manufacturing the same**

Patent Number: ☐ US6165822  
Publication date: 2000-12-26  
Inventor(s): AMANO SHINJI (JP); ENDO TAKESHI (JP); OKUNO EIICHI (JP)  
Applicant(s): DENSO CORP (JP)  
Requested Patent: ☐ DE19900171  
Application Number: US19990224351 19990104  
Priority Number (s): JP19980000378 19980105; JP19980138848 19980520; JP19980133605 19980515; JP19980304089 19981026  
IPC Classification: H01L21/335; H01L21/338  
EC Classification: H01L21/04H10B, H01L21/04H20B, H01L29/04B, H01L29/06D3B2, H01L29/24D, H01L29/423D2B4B, H01L29/78B2B, H01L29/78B2B2  
Equivalents: ☐ JP11251592, ☐ SE9900008

---

**Abstract**

---

A vertical type power MOSFET made of silicon carbide includes a surface channel layer doped with nitrogen as dopant with a concentration equal to or less than  $1 \times 10^{15} \text{ cm}^{-3}$ . Accordingly, when a gate oxide film is formed on the surface channel layer, an amount of silicon nitride produced in the gate oxide film and at the interface between the gate oxide film and the surface channel layer becomes extremely small. As a result, carrier traps are prevented from being produced by silicon nitride, resulting in stable FET characteristics and high reliability to the gate oxide film.

---

Data supplied from the esp@cenet database - I2

**THIS PAGE BLANK (USPTO)**



⑮ **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

⑫ **Offenlegungsschrift**  
⑩ **DE 199 00 171 A 1**

⑤ Int. Cl.<sup>6</sup>:  
**H 01 L 29/78**  
H 01 L 21/336

⑳ Aktenzeichen: 199 00 171.5  
㉔ Anmeldetag: 5. 1. 99  
㉕ Offenlegungstag: 8. 7. 99

DE 199 00 171 A 1

③① Unionspriorität:

10-378	05. 01. 98	JP
10-133605	15. 05. 98	JP
10-138848	20. 05. 98	JP
10-304089	26. 10. 98	JP

⑦① Anmelder:

Denso Corp., Kariya, Aichi, JP

⑦④ Vertreter:

WINTER, BRANDL, FÜRNISS, HÜBNER, RÖSS,  
KAISER, POLTE, Partnerschaft, 85354 Freising

⑦② Erfinder:

Okuno, Eiichi, Kariya, Aichi, JP; Endo, Takeshi,  
Kariya, Aichi, JP; Hara, Kunihiko, Kariya, Aichi, JP;  
Amano, Shinji, Kariya, Aichi, JP

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

⑤④ Siliziumkarbid-Halbleiteranordnung und Verfahren zu deren Herstellung

⑤⑦ Ein vertikaler Leistungs-MOSFET, der aus Siliziumkarbid hergestellt ist, enthält eine Oberflächenkanalschicht, die mit Stickstoff als Dotierungssubstanz mit einer Konzentration gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  dotiert ist. Wenn eine Gateoxidschicht auf der Oberflächenkanalschicht gebildet wird, wird dementsprechend ein Betrag von Siliziumnitrid, welches in der Gateoxidschicht und an der Schnittstelle zwischen der Gateoxidschicht und der Oberflächenkanalschicht gebildet wird, extrem klein. Als Ergebnis wird verhindert, daß Ladungsträgerhaftstellen durch Siliziumnitrid erzeugt werden, was zu einer stabilen FET-Charakteristik und einer hohen Zuverlässigkeit der Gateoxidschicht führt.

DE 199 00 171 A 1

## Beschreibung

Die vorliegende Erfindung bezieht sich auf eine Siliziumkarbid-Halbleiteranordnung, insbesondere auf einen Feldeffekttransistor eines Gateisolierungstyps wie einen vertikalen Hochleistungs-MOSFET und auf ein Verfahren zu dessen Herstellung.

In der US-Patentanmeldung Nr. 09/035.204 wird ein planarer MOSFET zur Verbesserung der Kanalbeweglichkeit und zur Herabsetzung des Einschaltwiderstands offenbart. Entsprechend Fig. 1 enthält der planare MOSFET ein n<sup>+</sup>-Typ Halbleitersubstrat 1, welches aus Siliziumkarbid (SiC) gebildet ist und eine Hauptoberfläche 1a und eine Rückseitenoberfläche 1b auf einer Seite gegenüberliegend der Hauptoberfläche 1a aufweist. Eine n<sup>+</sup>-Typ Epitaxialschicht (hiernach als n<sup>+</sup>-Typ Epischicht bezeichnet) 2 ist auf der Hauptoberfläche 1a des n<sup>+</sup>-Typ Halbleitersubstrats 1 gebildet und besitzt eine Dotierungskonzentration (Störstellenkonzentration), die niedriger als diejenige des Substrats 1 ist. In bestimmten Oberflächengebieten der n<sup>+</sup>-Typ Epischicht 2 sind p<sup>+</sup>-Typ Basisgebiete 3a, 3b in einer bestimmten Tiefe und voneinander abgetrennt gebildet. In bestimmten Oberflächengebieten der p<sup>+</sup>-Typ Basisgebiete 3a, 3b sind n<sup>+</sup>-Typ Sourcegebiete 4a, 4b in einer Tiefe gebildet, die geringer als diejenige der Basisgebiete 3a, 3b ist.

Eine n<sup>+</sup>-Typ SiC-Schicht 5 erstreckt sich in Oberflächengebieten der n<sup>+</sup>-Typ Epischicht 2 und der p<sup>+</sup>-Typ Basisgebiete 3a, 3b zwischen den n<sup>+</sup>-Typ Sourcegebieten 4a, 4b, wodurch die Sourcegebiete 4a, 4b und die n<sup>+</sup>-Typ Epischicht 2 über die Sourcegebiete der p<sup>+</sup>-Typ Basisgebiete 3a, 3b verbunden sind. Die n<sup>+</sup>-Typ SiC-Schicht 5 wird durch epitaxiales Aufwachsen in die Kristallstruktur des Typs 4H, 6H oder 3C gebildet. Wenn die Anordnung betrieben wird, arbeitet die n<sup>+</sup>-Typ SiC-Schicht 5 als Kanalbildungsschicht. Im folgenden wird die n<sup>+</sup>-Typ SiC-Schicht 5 als Oberflächenkanalschicht bezeichnet. Die Oberflächenkanalschicht ist mit Stickstoff (N) als Dotierungssubstanz mit einer niedrigen Dotierungskonzentration beispielsweise in dem Bereich von  $1 \times 10^{15} \text{ cm}^{-3}$  bis  $1 \times 10^{17} \text{ cm}^{-3}$  dotiert, was im allgemeinen geringer als die Dotierungskonzentration der n<sup>+</sup>-Typ Epischicht 2 und der p<sup>+</sup>-Typ Basisgebiete 3a, 3b ist. Dementsprechend ist ein niedriger Einschaltwiderstand realisiert.

Eine Gateoxidschicht 7 ist aus Siliziumdioxid (SiO<sub>2</sub>) auf der Oberflächenkanalschicht 5 und den n<sup>+</sup>-Typ Sourcegebieten 4a, 4b gebildet, und des weiteren ist eine Gateelektrode auf der Gateoxidschicht 7 gebildet. Die Gateelektrode 8 ist mit einer Isolierungsschicht 9 bedeckt. Die Isolierungsschicht 9 ist aus LTO (Low Temperature Oxide) hergestellt. Eine Sourceelektrode 10 ist auf der Isolierungsschicht 9 gebildet, um die n<sup>+</sup>-Typ Sourcegebiete 4a, 4b und die p<sup>+</sup>-Typ Basisgebiete 3a, 3b zu kontaktieren. Eine Drainelektroden-schicht 11 ist auf der Rückseitenoberfläche 1b des n<sup>+</sup>-Typ Halbleitersubstrats 1 gebildet.

Der daran konstruierte planare MOSFET arbeitet in einer Akkumulierungsbetriebsart, in welcher ein Kanalgebiet ohne Invertieren des Leitungstyps der Kanalbildungsschicht induziert wird. Daher kann die Kanalbeweglichkeit erhöht werden und der Einschaltwiderstand verringert werden im Vergleich mit einem Inversions-MOSFET, bei welchem zur Bildung eines Kanals der Leitungstyp invertiert wird.

Der oben beschriebene planare Leistungs-MOSFET wurde hergestellt, und es wurde die Gateoxidschicht 7 des MOSFETs mittels einer C-V-Messung unter Lichtbestrahlung geprüft. Die sich daraus ergebende C-V-Kennlinie ist in Fig. 2 dargestellt. Als Ergebnis wurde herausgefunden, daß die C-V-Kennlinie sich stark in Abhängigkeit der Bestrahlung ändert und sich nicht unmittelbar wieder regeneriert. D.h. es wurde herausgefunden, daß die C-V-Kennlinie eine sogenannte Hysteresecharakteristik besitzt. Darüber hinaus wurde eine Flachbandspannung auf eine positive Seite verschoben. Dies beinhaltet, daß Elektronenhaftstellen entstanden sind.

Dieses Phänomen zeigt an, daß Ladungsträgerhaftstellen in der Gateoxidschicht oder an einer Schnittstelle zwischen der Gateoxidschicht und der Oberflächenkanalschicht 5 (SiO<sub>2</sub>/SiC-Schnittstelle) vorhanden sind und daß nicht nur eine Instabilität der FET-Charakteristik sondern ebenfalls eine Verschlechterung der Zuverlässigkeit der Gateoxidschicht 7 hervorgerufen werden kann.

Die vorliegende Erfindung wurde im Hinblick auf die oben beschriebenen Schwierigkeiten gemacht. Aufgabe der vorliegenden Erfindung ist es einen MOSFET mit stabiler FET-Charakteristik und hoher Zuverlässigkeit bezüglich einer Gateisolierungsschicht davon bereitzustellen. Die Lösung der Aufgabe erfolgt durch die Merkmale der nebengeordneten unabhängigen Ansprüche.

Die oben beschriebenen Schwierigkeiten wurden berücksichtigt, und es wurde als Ergebnis einer XPS-Messung, bei welcher der Erfassungswinkel  $\theta$  auf 5° festgelegt wird, wie in Fig. 3 dargestellt, herausgefunden, daß Si-N-Verbindungen an der SiO<sub>2</sub>/SiC-Schnittstelle vorhanden waren. D.h. Stickstoff, welcher als Dotierungssubstanz für die in Fig. 1 dargestellte Oberflächenkanalschicht 5 verwendet wurde, reagiert mit Siliziumkarbid während einer thermischen Oxidationsbehandlung zur Bildung der Gateoxidschicht 7, um Siliziumnitrid (SiN) zu erzeugen, welches Ladungsträgerhaftstellen (Elektronen- oder Löcherhaftstellen) hervorrufen kann.

Entsprechend einem ersten Gesichtspunkt der vorliegenden Erfindung enthält eine Oberflächenkanalschicht Stickstoff mit einer Konzentration von gleich oder weniger als  $1 \times 10^{15} \text{ cm}^{-3}$ . Dementsprechend wird ein Betrag von Siliziumnitrid, welches in einer Gateisolierungsschicht und an einer Schnittstelle zwischen der Oberflächenkanalschicht und der Gateisolierungsschicht vorhanden ist, derart extrem niedrig, daß die Ladungsträgerhaftstellenkonzentration vernachlässigbar klein ist, was zu einer stabilen FET-Charakteristik und einer verbesserten Zuverlässigkeit der Gateisolierungsschicht führt.

Entsprechend einem zweiten Gesichtspunkt der vorliegenden Erfindung enthält die Oberflächenkanalschicht ein Element als Dotierungssubstanz, welches aus der fünfzehnten Gruppe von Elementen außer Stickstoff in der Tabelle des periodischen Systems gewählt wird. In diesem Fall liegt die Konzentration der Dotierungssubstanz der Oberflächenkanalschicht in einem Bereich von  $1 \times 10^{15} \text{ cm}^{-3}$  bis  $1 \times 10^{17} \text{ cm}^{-3}$ . Die Konzentration des unabsichtlich dotierten Stickstoffs sollte gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  sein. Als Ergebnis wird der Betrag des Siliziumnitrids, welches in der Gateisolierungsschicht und an der Schnittstelle zwischen der Oberflächenkanalschicht und der Gateisolierungsschicht vorhanden ist, derart extrem klein, daß die Ladungsträgerhaftstellenkonzentration vernachlässigbar klein ist.

Vorzugsweise wird eine Grenzsichtzustandsdichte an der Schnittstelle zwischen der Gateisolierungsschicht und der Oberflächenkanalschicht auf einen Wert gleich oder kleiner als  $4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  gesteuert. Dementsprechend wird die

Stabilität der FET-Charakteristik ohne ein Erhöhen des Einschaltwiderstands weiter verbessert.

Entsprechend einem dritten Gesichtspunkt der vorliegenden Erfindung wird nach der Bildung der Gateisolierungsschicht eine Hochtemperatur-Ausheizbehandlung bei einer Temperatur gleich oder größer als 1200°C durchgeführt. Si-N-Verbindungen, welche zum Hervorrufen von Ladungsträgerhaftstellen geeignet sind, werden während der Hochtemperatur-Ausheizbehandlung aufgelöst. Die Hochtemperatur-Ausheizbehandlung wird vorzugsweise in einer Umgebung durchgeführt, welche wenigstens Wasserstoff, Sauerstoff oder ein inertes Gas enthält. Folglich wird sogar dann, wenn die Konzentration des Stickstoffs in der Oberflächenkanalschicht größer als  $1 \times 10^{15} \text{ cm}^{-3}$  ist, der Betrag des Siliziumnitrids hinreichend reduziert, was zu einer stabilen FET-Charakteristik und einer verbesserten Zuverlässigkeit der Gateisolierungsschicht führt.

Entsprechend einem vierten Gesichtspunkt der vorliegenden Erfindung wird nach der Bildung der Gateoxidschicht durch thermisches Oxidieren eines Oberflächenteils der Oberflächenkanalschicht bei einer ersten Temperatur eine Reoxidationsbehandlung in einer Oxidationsumgebung bei einer zweiten Temperatur durchgeführt, die niedriger als die erste Temperatur ist. Des weiteren wird ein Ausheizen (annealing) bei einer Oxidationsrate durchgeführt, die kleiner als bei der Reoxidationsbehandlung ist.

In diesem Fall können Si-N-Verbindungen, welche während der bei einer großen Oxidationsrate durchgeführten Reoxidationsbehandlung in der Gateisolierungsschicht erhalten wurden, durch Reagieren mit Sauerstoff während des bei einer großen Oxidationsrate durchgeführten Ausheizens aufgelöst werden. Als Ergebnis werden die durch die Si-N-Verbindungen hervorgerufenen Ladungsträgerhaftstellen reduziert, was zu einer stabilen FET-Charakteristik und einer verbesserten Zuverlässigkeit der Gateisolierungsschicht führt. Die Oxidationsrate beim Ausheizen ist vorzugsweise gleich oder kleiner als 0,8 nm/h, was etwa gleich der Oxidationsrate während der Reoxidationsbehandlung ist. Die Temperatur des Ausheizens ist vorzugsweise gleich derjenigen der Reoxidationsbehandlung. Dementsprechend wird ein Herstellungsverfahren vereinfacht.

Die vorliegende Erfindung wird in der nachfolgenden Beschreibung unter Bezugnahme auf die Zeichnung erläutert.

Fig. 1 zeigt eine Querschnittsansicht, welche einen vertikalen Leistungs-MOSFET darstellt;

Fig. 2 zeigt ein Diagramm, welches die Kennlinie des in Fig. 1 dargestellten vertikalen Leistungs-MOSFET darstellt;

Fig. 3 zeigt ein Diagramm, welches das Ergebnis einer XPS-Messung des in Fig. 1 dargestellten vertikalen Leistungs-MOSFET darstellt;

Fig. 4 zeigt eine Querschnittsansicht, welche einen vertikalen Leistungs-MOSFET einer ersten bis vierten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 5A-5C, 6A-6C und 7A-7C zeigen Querschnittsansichten, welche stufenweise ein Verfahren zur Herstellung des in Fig. 4 dargestellten vertikalen Leistungs-MOSFET's darstellen;

Fig. 8 zeigt eine schematische Darstellung, welche ein Aufwachssystem darstellt, daß für das epitaxiale Aufwachsen bezüglich der ersten Ausführungsform verwendet wird;

Fig. 9 zeigt einen Graphen, welcher die Beziehung zwischen Flachbandverschiebespannungen und Stickstoffkonzentrationen darstellt;

Fig. 10 zeigt ein Diagramm zum Erklären des Vorhandenseins von Elektronenhaftstellen, nachdem eine Niedertemperatur-Reoxidationsbehandlung bei einer dritten Ausführungsform der vorliegenden Erfindung durchgeführt worden ist;

Fig. 11 zeigt ein Diagramm, welches das Ergebnis einer C-V-Messung unter Lichtbestrahlung darstellt, nachdem ein Ausheizen nach der Niedertemperatur-Reoxidationsbehandlung bei der dritten Ausführungsform durchgeführt worden ist;

Fig. 12 zeigt einen Graphen, welcher Beziehungen zwischen oxidierten Dicken und Ausheiztemperaturen und zwischen Grenzschnittzustandsdichten und Ausheiztemperaturen jeweils in einem Fall dargestellt, bei welchem das Ausheizen in einer Sauerstoffumgebung durchgeführt wird;

Fig. 13 zeigt einen Graphen, welcher Beziehungen zwischen oxidierten Dicken und Ausheiztemperaturen bzw. zwischen Grenzschnittzustandsdichten und Ausheiztemperaturen jeweils in einem Fall darstellt, bei welchem das Ausheizen in einer Umgebung durchgeführt wird, welche Sauerstoff und Stickstoff in einem Verhältnis von 1 zu 100 enthält;

Fig. 14 zeigt eine Querschnittsansicht, welche einen MOSFET eines Grabengatetyps in einer modifizierten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 15 zeigt eine Querschnittsansicht, welche einen lateralen MOSFET in einer anderen modifizierten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 16 zeigt eine schematische Ansicht, welche ein Simulationsmodell zur Berücksichtigung einer Beziehung zwischen einer Grenzschnittzustandsdichte und einem Einschaltwiderstand darstellt;

Fig. 17 zeigt einen Graphen, welcher Beziehungen zwischen den Einschaltwiderständen und Grenzschnittzustandsdichten darstellt;

Fig. 18A und 18B zeigen Bandabstandsdiagramme zum Erklären des Einschaltwiderstands;

Fig. 19 zeigt eine perspektivische Ansicht, welche einen Leistungs-MOSFET eines Grabengatetyps in einer fünften bevorzugten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 20 zeigt eine Draufsicht, welche den MOSFET von Fig. 19 darstellt;

Fig. 21 bis 27 zeigen Querschnittsansichten, welche ein Verfahren zur Herstellung des in Fig. 19 dargestellten MOSFET's zeigen;

Fig. 28 zeigt einen Graphen, welcher eine Beziehung zwischen einem Leckstrom zwischen Drain- und Sourcelektroden und stationären Ladungsdichten darstellt;

Fig. 29A und 29B zeigen Bandabstandsdiagramme zur Erklärung des Leckstroms;

Fig. 30 bis 34 zeigen Querschnittsansichten, welche Leistungs-MOSFET's eines modifizierten Grabengatetyps der vorliegenden Erfindung darstellen;

Fig. 35 zeigt eine perspektivische Ansicht, welche einen anderen Leistungs-MOSFET's eines modifizierten Grabengatetyps der vorliegenden Erfindung darstellt;

Fig. 36 zeigt eine Draufsicht, welche den MOSFET von Fig. 35 darstellt; und

Fig. 37 und 38 zeigen Querschnittsansichten, welche andere Leistungs-MOSFET's eines modifizierten Grabengate-typs der vorliegenden Erfindung darstellen.

Im folgenden werden bevorzugte Ausführungsformen der vorliegenden Erfindung unter Bezugnahme auf die Figuren beschrieben.

#### Erste Ausführungsform

Ein normalerweise ausgeschalteter planarer n-Kanal MOSFET (vertikaler Leistungs-MOSFET) in einer ersten bevorzugten Ausführungsform ist für einen Inverter, einen Gleichrichter eines Wechselstromgenerators für Kraftfahrzeuge und dergleichen geeignet. Die Struktur des vertikalen Leistungs-MOSFET's wird unter Bezugnahme auf Fig. 4 erklärt, wobei der Schwerpunkt auf Unterschiede zu dem in Fig. 1 dargestellten MOSFET gelegt wird. Dieselben Teile wie jene des in Fig. 1 dargestellten MOSFET's werden durch dieselben Bezugszeichen bezeichnet, und dieselbe Erklärung wird ausgelassen.

Wenn der in Fig. 4 dargestellte vertikale Leistungs-MOSFET mit dem in Fig. 1 dargestellten MOSFET verglichen wird, ist der Punkt derselbe, daß Sauerstoff als Dotierungssubstanz der Oberflächenkanalschicht 5 verwendet wird; jedoch unterscheiden sich die Störstellenkonzentrationen in den Oberflächenkanalschichten 5 voneinander. D.h. während die Störstellenkonzentration in der Oberflächenkanalschicht 5 in dem in Fig. 1 dargestellten MOSFET in einem Bereich von etwa  $1 \times 10^{15} \text{ cm}^{-3}$  bis  $1 \times 10^{17} \text{ cm}^{-3}$  liegt, ist die Störstellenkonzentration der Oberflächenkanalschicht 5 in dem in Fig. 4 dargestellten MOSFET gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$ . Des weiteren ist ein Betrag von Siliziumnitrid, welches in der Gateoxidschicht 7 und an der Schnittstelle zwischen der Gateoxidschicht 7 und der Oberflächenkanalschicht 5 vorkommt, extrem niedrig. Daher werden bei dem vertikalen Leistungs-MOSFET in dieser Ausführungsform Elektronen- oder Löcherfangstellen kaum durch Siliziumnitrid hervorgerufen, was zu einer stabilen MOSFET-Charakteristik führt.

Als nächstes wird ein Verfahren zur Herstellung des in Fig. 4 dargestellten vertikalen MOSFET's unter Bezugnahme auf Fig. 5A-5C, 6A-C6 und 7A-7C erklärt.

#### In Fig. 5A dargestellter Schritt

Als erstes wird ein n-Typ 4H-, 6H- oder 3C-SiC-Substrat als das n<sup>+</sup>-Typ Halbleitersubstrat 1 bereitgestellt. Das n<sup>+</sup>-Typ Halbleitersubstrat 1 besitzt eine Dicke von 400 µm, und die Hauptoberfläche 1a entspricht einer (0001)-Si-Ebene oder einer (1120)-Ebene. Die n<sup>-</sup>-Typ Epischicht 2 ist auf der Hauptoberfläche 1a des Substrats 1 auf eine Dicke von 5 µm epitaxial aufgewachsen. Dementsprechend besitzt die n<sup>-</sup>-Typ Epischicht 2 dieselbe Kristallstruktur wie diejenige des darunterliegenden Substrats 1, so daß eine n-Typ 4H-, 6H- oder 3C-SiC-Schicht gebildet wird.

#### In Fig. 5B dargestellter Schritt

Eine LTO-Schicht 20 wird auf einem bestimmten Gebiet der n<sup>-</sup>-Typ Epischicht 2 angeordnet, und Borionen (B<sup>+</sup>) (oder Aluminiumionen) werden in die n<sup>-</sup>-Typ Epischicht 2 unter Verwendung der LTO-Schicht 20 als Maske implantiert, so daß die p<sup>-</sup>-Typ Basisgebiete 3a, 3b gebildet werden. Als Ionenimplantierungsbedingungen betragen die Temperatur 700°C und die Dosis  $1 \times 10^{16} \text{ cm}^{-2}$ .

#### In Fig. 5C dargestellter Schritt

Nachdem die LTO-Schicht 20 entfernt worden ist, läßt man die Oberflächenkanalschicht 5 auf der n<sup>-</sup>-Typ Epischicht 2 einschließlich den p<sup>-</sup>-Typ Basisgebieten 3a, 3b durch ein chemisches Aufdampfverfahren (CVD-Verfahren) epitaxial aufwachsen. Zu dem Zeitpunkt wird die Dosis derart gesteuert, daß die Stickstoffkonzentration in der Oberflächenkanalschicht 5 gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  wird. Dieser epitaxiale Aufwachsschritt wird detailliert unter Verwendung einer in Fig. 8 dargestellten Aufwachseinheit 50 erklärt.

Wie in Fig. 8 dargestellt enthält die Aufwachseinheit 50 eine Vorkammer 51, eine Hochvakuum-Aufwachsvorrichtung 52 wie eine Molekularstrahl-Epitaxie-Aufwachsvorrichtung (MBE-Vorrichtung), eine CVD-Vorrichtung oder dergleichen und ein Verbindungsteil 53, welches die Vorkammer 51 und die Hochvakuum-Aufwachsvorrichtung 52 verbindet. Die Vorkammer 51 ist mit Pumpen wie einer Rotationspumpe (RP) 51a und einer Diffusionspumpe (DP) 51b ausgestattet und dient dazu, ein Hochvakuum in einem Bereich von  $10^{-6}$  Torr bis  $10^{-15}$  Torr durch die Pumpen bereitzustellen. Ein Siliziumkarbid-Impfkristall 54 für das Kristallaufwachsen ist in der Vorkammer 51 angeordnet.

Das Material (Siliziumkarbid in dieser Ausführungsform), welches aufwachsen soll, wird erwärmt, um in einem Ultrahochvakuum zu sublimieren, oder es wird ein Quellengas (Sourcegas) in die Hochvakuumvorrichtung 52 eingeführt, so daß eine chemische Reaktion auf der gesamten Oberfläche eines Wafers 55 in der Hochvakuumvorrichtung 52 erfolgt. Als Ergebnis wächst eine Einkristallschicht auf dem Wafer 55 auf. Die Hochvakuumvorrichtung 55 ist mit Pumpen wie einer Rotationspumpe 52a, einer Diffusionspumpe 52b, einer Turbopumpe (TB) 52c und dergleichen ausgestattet und stellt durch die Pumpen ein Ultrahochvakuum in einem Bereich von  $10^{-6}$  Torr bis  $10^{-15}$  Torr bereit. Fenster 53a, 53b, welche mit Dichtungsteilen hermetisch verschlossen sind, sind zwischen der Vorkammer 51 und dem Verbindungsteil 53 bzw. zwischen der Hochvakuum-Aufwachsvorrichtung 52 und dem Verbindungsteil 53 vorgesehen, um eine Kommunikation dazwischen zu ermöglichen oder abzuschalten.

Das Impfkristall (Substrat) 54, auf welchem eine Epitaxialschicht zu bilden ist, wird in der Vorkammer 51 der derart konstruierten Aufwachseinheit 50 angeordnet. Danach wird in der Vorkammer 51 das Hochvakuum geschaffen, so daß der an dem Substrat 54 anhaftende Stickstoff entfernt wird. Zu diesem Zeitpunkt wird die Innenseite der Hochvakuum-Aufwachsvorrichtung 52 in dem Ultrahochvakuum gehalten. Danach wird das Fenster 53a geöffnet und das Substrat 54

in den Verbindungsteil 53 befördert. Nachdem das Fenster 53a geschlossen worden ist, wird das Fenster 53b geöffnet und das Substrat 54 in die Hochvakuum-Aufwachsrichtung 52 befördert. Nachdem das Substrat 54 in einer bestimmten Position angeordnet worden ist, wird darauffolgend das Fenster 53b geschlossen, um innerhalb der Hochvakuum-Aufwachsrichtung 52 die Luftdichtigkeit sicherzustellen.

Auf diese Weise wird das Substrat in dem Hochvakuum innerhalb der Vorkammer 51 gehalten, während die Innenseite der Hochvakuum-Aufwachsrichtung 52, in welcher das epitaxiale Aufwachsen durchzuführen ist, in dem Ultrahochvakuum gehalten wird. Daher wird das Ultrahochvakuum innerhalb der Hochvakuum-Aufwachsrichtung 52 stets gehalten, und es kann in der Hochvakuum-Aufwachsrichtung 52 verbleibender Stickstoff effektiv entfernt werden. Danach läßt man die Oberflächenkanalschicht 5 durch das Sublimationsverfahren, das CVD-Verfahren oder dergleichen wie oben beschrieben aufwachsen. Beim Aufwachsen sollte der Druck in der Kammer durch das Quellgas und Trägergas geändert werden. Wenn das Substrat in den Verbindungsteil 53 befördert wird, sollte der Druck in einem Bereich von  $10^{-6}$  Torr bis  $10^{-5}$  Torr liegen. Dementsprechend kann die Oberflächenkanalschicht mit einer niedrigen Stickstoffkonzentration gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  gebildet werden.

Wenn beispielsweise die Oberflächenkanalschicht 5 durch das CVD-Verfahren aufgewachsen ist, werden  $\text{SiH}_4$ -Gas und  $\text{C}_3\text{H}_8$ -Gas in die Vorrichtung zusammen mit einem sehr kleinen Betrag von  $\text{N}_2$ -Gas eingeführt, so daß SiC aufwächst. Wenn in der Vorrichtung Stickstoff verbleibt, braucht das  $\text{N}_2$ -Gas nicht zugeführt werden. Es wurde die Flachbandverschiebung bezüglich der verschiedenen Stickstoffdotierungssubstanzkonzentrationen der Oberflächenkanalschicht 5 mittels einer C-V-Messung im dunkeln untersucht. Das Ergebnis ist in Fig. 9 dargestellt. Wenn wie in der Figur dargestellt die Stickstoffkonzentration in der Oberflächenkanalschicht 5 gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  ist, ist die Flachbandverschiebung extrem verringert. Dies bedeutet, daß dann, wenn die Oberflächenkanalschicht 5 gebildet ist, so daß die Stickstoffkonzentration gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  ist, die durch die Si-N-Bindungen hervorgerufenen Ladungsträgerhaftstellen deutlich verringert werden können.

In diesem Fall ist die Dicke der Oberflächenkanalschicht 5 basierend auf der folgenden Gleichung (1) festgelegt, so daß der vertikale Leistungs-MOSFET zu dem normalerweise ausgeschalteten Typ wird. Wenn der vertikale Leistungs-MOSFET dem normalerweise ausgeschalteten Typ angehört, ist es notwendig, eine hinreichende Sperrschichthöhe in einem Zustand zu haben, bei welchem eine Gatespannung nicht angelegt wird, so daß eine Verarmungsschicht, welche sich in die n-Typ Schicht erstreckt, eine elektrische Leitung verhindert. Die Gleichung (1), welche diese Bedingung darstellt, lautet wie folgt:

Gleichung (1)

$$T_{\text{epi}} = \sqrt{\frac{2 \epsilon S}{q} \cdot \frac{N_D + N_A}{N_D N_A} \cdot V_{\text{built}}} + \sqrt{\frac{2 \epsilon S}{q} \cdot \frac{1}{N_D} \cdot \left( \phi_{\text{ms}} - \frac{Q_s + Q_{\text{fc}} + Q_i + Q_{\text{ss}}}{C_{\text{oxide}}} \right)}$$

wobei  $T_{\text{epi}}$  die Breite der Verarmungsschicht, welche sich in die n-Typ Oberflächenkanalschicht erstreckt,  $\phi_{\text{ms}}$  die Differenz der Austrittsarbeit zwischen einem Metall und einem Halbleiter,  $Q_s$  die Raumladung in der Gateoxidschicht,  $Q_{\text{fc}}$  die festgelegte bzw. stationäre Ladung an der Schnittstelle zwischen der Gateoxidschicht ( $\text{SiO}_2$ ) und der n-Typ Oberflächenkanalschicht (SiC),  $Q_i$  der Betrag beweglicher Ionen in der Gateoxidschicht,  $Q_{\text{ss}}$  die Oberflächenladung an der Schnittstelle zwischen der Gateoxidschicht und der Oberflächenkanalschicht und  $N_D$ ,  $N_A$  Donator- bzw. Akzeptorkonzentrationen darstellen.

In der Gleichung (1) stellt der erste Ausdruck auf der rechten Seite eine ausgedehnte Breite der Verarmungsschicht dar, welche durch eine Diffusionsspannung  $V_{\text{built}}$  des PN-Übergangs zwischen der Oberflächenkanalschicht 5 und den p-Typ Basisgebieten 3a, 3b erzeugt wird, d. h. eine ausgedehnte Breite der Verarmungsschicht, welche sich von den p-Typ Basisgebieten 3a, 3b in die Oberflächenkanalschicht 5 erstreckt. Der zweite Ausdruck auf der rechten Seite stellt eine ausgedehnte Breite der Verarmungsschicht dar, welche durch die Ladung in der Gateoxidschicht 7 und  $\phi_{\text{ms}}$  erzeugt wird, d. h. eine ausgedehnte Breite der Verarmungsschicht, welche sich von der Gateoxidschicht 7 in die Oberflächenkanalschicht 5 erstreckt. Wenn die Summe der ausgedehnten Breiten der Verarmungsschichten, welche sich von den p-Typ Basisgebieten 3a und 3b und von der Gateoxidschicht 7 erstrecken, gleich oder größer als die Dicke der Oberflächenkanalschicht 5 ist, wird daher der vertikale Leistungs-MOSFET zu dem normalerweise ausgeschalteten Typ. Bei dieser Ausführungsform ist die Dicke der Oberflächenkanalschicht 5 derart festgelegt, daß diese Bedingungen verlangt werden.

D.h. die Dicke der Oberflächenkanalschicht 5 für den MOSFET des normalerweise ausgeschalteten Typs ist kleiner als  $T_{\text{epi}}$ . Wenn hier, wie aus der Gleichung (1) zu verstehen ist, die Störstellenkonzentration in der Oberflächenkanalschicht 5 niedrig ist, ist  $N_D$  verringert, so daß  $T_{\text{epi}}$  erhöht ist. Daher kann die Dicke der Oberflächenkanalschicht 5 erhöht werden, was zu einer günstigen Steuerbarkeit der Dicke führt, wenn die Oberflächenkanalschicht 5 epitaxial aufwächst.

Sogar wenn bei dem normalerweise ausgeschalteten vertikalen Leistungs-MOSFET die Spannung infolge eines Fehlers der Anordnung oder dergleichen nicht an die Gateelektrode angelegt werden kann, fließt kein Strom in den MOSFET, was zu einer hohen Zuverlässigkeit im Vergleich mit einem normalerweise eingeschalteten Typ führt. Des weiteren kontaktieren wie in Fig. 4 dargestellt die p-Typ Basisgebiete 3a, 3b die Sourceelektrode 10, so daß ein geerdeter Zustand vorliegt. Daher kann die Oberflächenkanalschicht 5 in einen abgeschnürten Zustand unter Verwendung der Diffusionsspannung  $V_{\text{built}}$  des PN-Übergangs zwischen der Oberflächenkanalschicht 5 und den p-Typ Basisgebieten 3a, 3b gebracht werden kann. Wenn demgegenüber die p-Typ Basisgebiete 3a, 3b in einen floatenden Zustand ohne Erdung gebracht werden, da die Verarmungsschicht nicht von den p-Typ Basisgebieten 3a, 3b durch die Diffusionsspannung  $V_{\text{built}}$  vergrößert werden kann, kann die Oberflächenkanalschicht 5 nicht in den abgeschnürten Zustand durch die Diffusionsspannung  $V_{\text{built}}$  gebracht werden.

Bei der ersten Ausführungsform ist die Störstellenkonzentration in den p-Typ Basisgebieten 3a, 3b relativ niedrig. Je-

doch kann die Diffusionsspannung  $V_{\text{built}}$  durch Erhöhen der Störstellenkonzentration in den p-Typ Basisgebieten 3a, 3b erhöht werden. Da bei der ersten Ausführungsform der vertikale Leistungs-MOSFET aus SiC gebildet wird, kann er mit hoher Genauigkeit hergestellt werden. Wenn demgegenüber der vertikale Leistungs-MOSFET aus Silizium (Si) gebildet wird, ist es schwierig die Beträge der thermischen Diffusion zu steuern, welche auftritt, wenn die p-Typ Basisgebiete 3a, 3b, die Oberflächenkanalschicht 5 und dergleichen gebildet werden. Dies macht es schwierig, den normalerweise ausgeschalteten MOSFET aus Si herzustellen, welcher im wesentlichen dieselbe Struktur wie oben beschrieben besitzt.

Wenn darüber hinaus für den MOSFET Si verwendet wird, da die Diffusionsspannung von Silizium niedrig ist, ist es nötig, die Oberflächenkanalschicht dünner auszubilden oder die Störstellenkonzentration in der Oberflächenkanalschicht im Vergleich mit dem Fall der Verwendung von SiC zu verringern, wodurch die Herstellung des MOSFET's erschwert wird. Da die Diffusionsspannung von SiC etwa dreimal so groß wie diejenige von Si ist, kann die Dicke der Oberflächenkanalschicht 5 erhöht werden und/oder die Störstellenkonzentration in der Oberflächenkanalschicht 5 erhöht werden. Daher kann bei der Ausführungsform der normalerweise ausgeschaltete Akkumulations-MOSFET leicht hergestellt werden.

Im folgenden werden die Schritte nach der Bildung der Oberflächenkanalschicht 5 erklärt.

In Fig. 6A dargestellter Schritt

Eine LTO-Schicht 21 wird auf bestimmten Gebieten der Oberflächenkanalschicht 5 angeordnet, und es werden n-Typ Störstellen wie N zur Bildung der n-Typ Sourcegebiete 4a, 4b unter Verwendung der LTO-Schicht 21 als Maske implantiert. Entsprechend den Ionenimplantierungsbedingungen beträgt die Temperatur 700°C und die Dosis  $1 \times 10^{15} \text{ cm}^{-2}$ .

In Fig. 6B dargestellter Schritt

Nachdem die LTO-Schicht 21 entfernt worden ist, wird eine andere LTO-Schicht 22 auf einem bestimmten Gebiet der Oberflächenkanalschicht 5 durch ein Fotoresistverfahren angeordnet. Danach wird die Oberflächenkanalschicht 5, welche sich auf den p-Typ Basisgebieten 3a, 3b erstreckt, durch ein reaktives Ionenätzverfahren (RIE-Verfahren) unter Verwendung der LTO-Schicht 22 als Maske partiell entfernt.

In Fig. 6C dargestellter Schritt

Danach werden Bor-Ionen ( $B^+$ ) zur Bildung von tiefen Basisschichten 30a, 30b unter Verwendung der LTO-Schicht 22 als Maske wiederum implantiert. Dementsprechend sind die Basisgebiete 3a, 3b partiell verdickt. Die tiefen Basisschichten 30a, 30b sind derart gebildet, daß sie sich nicht mit den n-Typ Sourcegebieten 4a, 4b überlappen. Darüber hinaus besitzen die Teile der p-Typ Basisgebiete 3a, 3b mit großer Dicke dort, wo die tiefen Basisschichten 30a, 30b gebildet sind, eine Störstellenkonzentration, welche größer als diejenige der Teile der p-Typ Sourcegebiete 3a, 3b mit kleiner Dicke ist, wo die tiefen Basisschichten 30a, 30b nicht gebildet sind.

In Fig. 7A dargestellter Schritt

Nachdem die LTO-Schicht 22 entfernt worden ist, wird die Gateoxidschicht 7 auf dem Substrat durch Naßoxidation (einschließlich eines pyrogenen Verfahrens unter Verwendung von  $H_2$  und  $O_2$ ) bei 1080°C gebildet. Da zu diesem Zeitpunkt die Stickstoffkonzentration in der Oberflächenkanalschicht 5, welche unter der Gateoxidschicht 7 liegt, wie oben beschrieben gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  ist, wird verhindert, daß Siliziumnitrid ( $SiN$ ) während der thermischen Oxidation zur Bildung der Gateoxidschicht 7 erzeugt wird.

Daher ist der Betrag von Siliziumnitrid in der Gateoxidschicht 7 und an der Schnittstelle zwischen der Gateoxidschicht 7 und der Oberflächenkanalschicht 5 extrem verringert. Dementsprechend ist der ungünstige Effekt durch Ladungsträgerhaftstellen (Grenzschichtzustände) hervorgerufen durch Siliziumnitrid reduziert. Der ungünstige Effekt auf die elektrische Charakteristik wie eine Gateschwellenwertspannung kann ignoriert werden, was zu einer günstigen FET-Charakteristik und einer Gateoxidschicht 7 mit hoher Zuverlässigkeit führt.

Danach wird auf die Gateoxidschicht 7 die aus Polysilizium gebildete Gateelektrode 8 durch ein LPCVD-Verfahren bei 600°C aufgetragen.

In Fig. 7B dargestellter Schritt

Nachdem unnötige Teile der Gateoxidschicht 7 entfernt worden sind, wird die aus LTO gebildete Isolierungsschicht 9 derart gebildet, daß die verbleibende Gateoxidschicht 7 bedeckt wird. Die Auftragungstemperatur beträgt 425°C. Nach der Auftragung wird eine Ausheizbehandlung bei 1000°C durchgeführt.

In Fig. 7C dargestellter Schritt

Danach werden die Sourceelektrode 10 und die Drainelektrode 11 durch Metallzerstäubung jeweils bei Raumtemperatur aufgetragen. Nach der Auftragung wird eine Ausheizbehandlung bei 1000°C durchgeführt. Somit ist der in Fig. 4 dargestellte vertikale Leistungs-MOSFET fertiggestellt.

Als nächstes wird der Betrieb des vertikalen Leistungs-MOSFET's beschrieben. Der normalerweise ausgeschaltete MOSFET arbeitet in einer Akkumulationsbetriebsart. Wenn die Spannung nicht an die Gateelektrode 8 angelegt wird, ist die Oberflächenkanalschicht 5 infolge der elektrostatischen Potentialdifferenz zwischen den p-Typ Basisgebieten 3a, 3b und der Oberflächenkanalschicht 5 und dem Potential, welches durch die Differenz der Austrittsarbeit zwischen der Oberflächenkanalschicht 5 und der Gateelektrode 6 gebildet wird, vollständig verarmt. Die Potentialdifferenz, welche



durch die Differenz der Austrittsarbeit zwischen der Oberflächenkanalschicht 5 und der Gateelektrode 8 und durch die Summe der extern angelegten Spannungen erzeugt wird, kann durch Anlegen der Spannung an die Gateelektrode 8 geändert werden. Als Ergebnis wird der Kanalzustand gesteuert.

D.h. wenn die Austrittsarbeiten der Gateelektrode 8, der p-Typ Basisgebiete 3a, 3b und der Oberflächenkanalschicht 5 durch die ersten, zweiten bzw. dritten Austrittsarbeiten dargestellt werden, werden die Störstellenkonzentrationen und die Dicke der Oberflächenkanalschicht 5 derart festgelegt, daß die n-Typ Ladungsträger in der Oberflächenkanalschicht 5 durch die Differenz unter den ersten bis dritten Austrittsarbeiten vollständig verarmt sind.

Ebenfalls wird in einem ausgeschalteten Zustand das Verarmungsgebiet in der Oberflächenkanalschicht 5 infolge des elektrischen Felds gebildet, welches zwischen den p-Typ Basisgebieten 3a, 3b und der Gateelektrode 8 erzeugt wird. Wenn in diesem Zustand eine positive Vorspannung an die Gateelektrode 8 angelegt wird, wird ein Kanalgebiet an der Schnittstelle zwischen der Gateoxidschicht ( $\text{SiO}_2$ ) 7 und der Oberflächenkanalschicht 5 gebildet, um sich von den n-Typ Sourcegebieten 4a, 4b auf die n-Typ Epischicht (n-Typ Driftgebiet) 2 zu erstrecken. Folglich wird der Zustand in einen eingeschalteten Zustand geschaltet. Zu dieser Zeit fließen Elektronen von den n-Typ Sourcegebieten 4a, 4b zu der n-Typ Epischicht 2 durch die Oberflächenkanalschicht 5, und die Elektronen, welche die n-Typ Epischicht 2 erreicht haben, fließen danach vertikal zu dem n-Typ Halbleitersubstrat 1 (n-Drain). Somit wird der Kanal des Akkumulationstyps in die Oberflächenkanalschicht 5 durch die an die Gateelektroden 8 angelegte positive Spannung induziert, so daß Ladungsträger zwischen der Sourceelektrode 10 und der Drainelektrode 11 fließen.

### Zweite Ausführungsform

Bei der ersten Ausführungsform wird die Oberflächenkanalschicht 5 mit Stickstoff einer niedrigen Konzentration dotiert, und dementsprechend wird der Betrag von Siliziumnitrid, welches in der Gateoxidschicht 7 und an der Schnittstelle zwischen der Gateoxidschicht 7 und der Oberflächenkanalschicht 5 vorkommt, stark verringert. Demgegenüber wird bei einer zweiten bevorzugten Ausführungsform ein anderes Verfahren, d. h. ein anderes Herstellungsverfahren, verwendet, um den Betrag von Siliziumnitrid zu verringern, welches in den oben beschriebenen Teilen vorhanden ist. Die Herstellungsschritte, welche ähnlich wie die in Fig. 5A-5C, 6A-6C und 7A-7C sind, werden unter Bezugnahme auf dieselben Figuren beschrieben. Ein vertikaler Leistungs-MOSFET der zweiten Ausführungsform besitzt eine Struktur, welche im wesentlichen der in Fig. 4 dargestellten Struktur mit der Ausnahme entspricht, daß die Stickstoffkonzentration in der Oberflächenkanalschicht 5 in einem Bereich von etwa  $1 \times 10^{15} \text{ cm}^{-3}$  bis  $1 \times 10^{16} \text{ cm}^{-3}$  festgelegt werden kann, welche größer als diejenige bei der ersten Ausführungsform ist. Im folgenden wird das Herstellungsverfahren dieser Ausführungsform erklärt.

Zuerst werden die in Fig. 5A-5C dargestellten Schritte im wesentlichen auf dieselbe Weise wie bei der ersten Ausführungsform durchgeführt. Dementsprechend wird die Oberflächenkanalschicht 5 gebildet. Als nächstes wird der in Fig. 6A dargestellte Schritt zur Bildung einer Gateoxidschicht 7 wie folgt durchgeführt. Zuerst wird nach Durchführung einer RCA-Wäsche bzw. -Spülung eine Wärmebehandlung in einer Wasserstoffumgebung bei  $1000^\circ\text{C}$  durchgeführt. Danach wird eine NaOxidation durch ein pyrogenes Verfahren oder dergleichen bei  $1100^\circ\text{C}$  über 5 Stunden durchgeführt. Des weiteren wird die Temperatur auf  $950^\circ\text{C}$  gesteuert, und es wird das Naätzen wiederum durch das pyrogene Verfahren oder dergleichen über 3 Stunden als Reoxidationsausheizen durchgeführt. Als Ergebnis wird die Gateoxidschicht 7 gebildet.

Als nächstes wird ein Ausheizen (Ausheizen bei hoher Temperatur) bei  $1250^\circ\text{C}$  in der Wasserstoffumgebung durchgeführt. Siliziumnitrid in der Gateoxidschicht 7 und an der Schnittstelle zwischen der Gateoxidschicht 7 und der Oberflächenkanalschicht 5 wird während des Ausheizens bei hoher Temperatur zerlegt. Dementsprechend wird nicht nur die Grenzschichtzustanddichte sondern ebenfalls die festgelegte bzw. stationäre Ladung an der Schnittstelle zwischen der Gateoxidschicht 7 und der Oberflächenkanalschicht 5 verringert, so daß dieselben Effekte wie bei der ersten Ausführungsform erzielt werden können. Danach wird der vertikale Leistungs-MOSFET der zweiten Ausführungsform durch in Fig. 6B, 6C und 7A-7C dargestellten Schritte beendet.

### Dritte Ausführungsform

Bei einer dritten Ausführungsform ist der Betrag von in den oben beschriebenen Teilen gebildetem Siliziumnitrid durch ein Herstellungsverfahren, welches sich von demjenigen der ersten und zweiten Ausführungsformen unterscheidet, wirksam verringert. Herstellungsschritte ähnlich den in Fig. 5A-5C, 6A-6C, 7A-7C in der ersten Ausführungsform Dargestellten werden unter Bezugnahme auf dieselben Figuren beschrieben. Ein vertikaler Leistungs-MOSFET der dritten Ausführungsform besitzt im wesentlichen dieselbe Struktur wie diejenige, die in Fig. 4 dargestellt ist, mit der Ausnahme, daß die Stickstoffkonzentration in der Oberflächenkanalschicht 5 auf einen Bereich von etwa  $1 \times 10^{15} \text{ cm}^{-3}$  bis  $1 \times 10^{17} \text{ cm}^{-3}$  festgelegt werden kann, welche größer als diejenige bei der ersten Ausführungsform ist. Im folgenden wird das Herstellungsverfahren der dritten Ausführungsform beschrieben.

Zuerst werden die in Fig. 5A-5C dargestellten Schritte im wesentlichen auf dieselbe Weise wie bei der ersten Ausführungsform durchgeführt. Dementsprechend wird die Oberflächenkanalschicht 5 gebildet. Als nächstes wird wie in Fig. 6A dargestellt die Gateoxidschicht 7 auf der Oberflächenkanalschicht 5 insbesondere durch eine Oxidation gebildet, welche in einer Umgebung von  $\text{H}_2$  und  $\text{O}_2$  bei  $1080^\circ\text{C}$  durchgeführt wird. Die unter diesen Bedingungen gebildete Gateoxidschicht besitzt eine Dicke von etwa 50 nm.

Danach wird wiederum eine Wärmebehandlung in der Umgebung von  $\text{H}_2$  und  $\text{O}_2$  bei einer niedrigen Temperatur von  $950^\circ\text{C}$  durchgeführt. Im folgenden wird das Ausheizen unter niedriger Temperatur, welches in der Umgebung, die Sauerstoff enthält, durchgeführt wird, als Reoxidationswärmebehandlung bei niedriger Temperatur bezeichnet. Die Reoxidationswärmebehandlung bei niedriger Temperatur kann Kohlenstoffgruppen reduzieren, welche an der Siliziumdioxid- und Siliziumkarbidschnittstelle ( $\text{SiO}_2/\text{SiC}$ ) erzeugt werden, so daß die durch die Kohlenstoffgruppen hervorgerufenen Löcherhaftstellen reduziert werden.

Jedoch wurde die C-V-Messung nach der Reoxidationswärmebehandlung bei niedriger Temperatur durchgeführt, und es wurde herausgefunden, daß die Elektronenhaftstellen in der Gateoxidschicht 7 und an der Schnittstelle zwischen der Gateoxidschicht 7 und der Oberflächenkanalschicht 5 vorhanden waren, wodurch die Grenzschnittzustandsdichte erhöht wurde. Beispielsweise war wie in Fig. 10 dargestellt die Flachbandverschiebung nach der Reoxidationswärmebehandlung bei niedriger Temperatur groß. Dieses Ergebnis bedeutet, daß negative stationäre Ladungen oder Elektronenhaftstellen eines tiefen Pegels vorhanden sind. Des weiteren weist die Lichtbestrahlungs-C-V-Charakteristik die Hysteresescharakteristik auf und zeigt das Vorhandensein eines Elektronenhaftstellenpegels an, der zum Fangen von Elektronen durch Lichterregung geeignet ist. Es wird angenommen, daß die Elektronenhaftstellen durch das Siliziumnitrid (Si-N-Verbindungen) hervorgerufen werden.

Daher wird bei dieser Ausführungsform eine andere Wärmebehandlung darauffolgend in der Umgebung, welche Sauerstoff enthält, bei einer Temperatur von weniger als 1000°C durchgeführt, beispielsweise bei einer Temperatur von etwa 950°C gleich der Temperatur der Reoxidationswärmebehandlung bei niedriger Temperatur. Danach wurde die elektrische Charakteristik innerhalb der Gateoxidschicht 7 oder an der Schnittstelle zwischen der Gateoxidschicht 7 und der Oberflächenkanalschicht 5 nach deren Ausheizen durch die C-V-Messung untersucht. Das Ergebnis ist in Fig. 11 dargestellt. Wie in der Figur dargestellt ist die Flachbandverschiebung auf weniger als 2 V verringert, und die Hysteresescharakteristik wurde nicht beobachtet. Es wird angenommen, daß der Grund für dieses Ergebnis darin liegt, daß Si und N, welche die Si-N-Verbindungen bilden, mit Sauerstoff reagieren, welches sogar bei einer niedrigen Temperatur aktiv ist, um NO<sub>x</sub> und SiO<sub>x</sub> zu erzeugen, so daß die Elektronenhaftstellen reduziert werden.

Im folgenden werden die Bedingungen der Umgebung und der Temperatur des Ausheizens, welches nach der Reoxidationswärmebehandlung bei niedriger Temperatur durchgeführt wird, detailliert beschrieben. Die Umgebung und Temperatur werden zur Reduzierung der Elektronenhaftstellen optimiert. Insbesondere wurden, nachdem ein Ausheizen in einer Umgebung von O<sub>2</sub> bei einer konstanten Temperatur durchgeführt wurde, eine Änderung der Grenzschnittzustandsdichte und eine Änderung der Dicke der Oxidschicht untersucht.

Als Ergebnis wird wie in Fig. 12 dargestellt in dem Fall, bei welchem die Temperatur des Ausheizens etwa 950°C beträgt, die Grenzschnittzustandsdichte minimal, und die oxidierte Dicke ist im Vergleich mit denjenigen bei Temperaturen eines anderen Ausheizens klein. Die Punkte, welche mit ref auf der linken Seite in Fig. 12 angezeigt sind, betreffen eine Dicke und eine Grenzschnittzustandsdichte, welche als Bezug nach der Durchführung der Reoxidationswärmebehandlung bei niedriger Temperatur erlangt werden. Wenn das Ausheizen weiter unter denselben Bedingungen wie jenen der Reoxidationswärmebehandlung bei niedriger Temperatur mit der Ausnahme einer Zeitperiode durchgeführt wird, d. h. in einer Umgebung von H<sub>2</sub> und O<sub>2</sub> bei 950°C über eine Stunde, erhöht sich die Dicke bis zu dem Punkt, welcher durch eine gestrichelte Linie in Fig. 12 dargestellt ist.

Dementsprechend wird angenommen, daß die oxidierte Dicke, d. h. die Oxidationsrate zur Bildung der Oxidschicht, eng auf die Grenzschnittzustandsdichte bezogen ist. D. h. es wird angenommen, daß je größer die Oxidationsrate wird, desto größer wird die Grenzschnittzustandsdichte und umgekehrt. Dementsprechend wird das folgende Phänomen angenommen. Wenn die Oxidationsrate klein wird, wird Sauerstoff, der sogar bei einer niedrigen Temperatur aktiv ist, mit Si und N kombiniert, welche die Si-N-Verbindungen bilden. Dementsprechend schreitet die Bildung der Oxidschicht während der Zerlegung der Si-N-Verbindungen fort. Daher werden kaum Elektrodenhaftstellen gebildet. Wenn die Oxidationsrate jedoch groß wird, da die Bildung der Oxidschicht in dem Zustand fortschreitet, in welchem Si-N-Verbindungen verbleiben, werden die Elektronenhaftstellen durch Verbleiben der Si-N-Verbindungen leicht erzeugt.

Beispielsweise wird als Ergebnis der Studien, welche bezüglich der Oxidschicht durchgeführt wurden, welche nach der Durchführung der Reoxidationswärmebehandlung bei niedriger Temperatur wie oben beschrieben erlangt worden ist, angenommen, daß die Elektronenhaftstellen durch die Si-N-Verbindungen hervorgerufen in der Oxidschicht ansteigen. Dies bedeutet, daß die Elektronenhaftstellen bei der Oxidationsrate bei der Reoxidationswärmebehandlung bei niedriger Temperatur erzeugt werden. Die Oxidationsrate der durch die Reoxidationswärmebehandlung bei niedriger Temperatur gebildeten Oxidschicht beträgt 8 nm/h, was der Dicke entspricht, die durch die gepunktete Linie in Fig. 12 angezeigt ist. Dementsprechend wird angenommen, daß die Elektronenhaftstellen vorzugsweise gebildet werden, wenn die Oxidationsrate groß wird.

Somit wurde bezüglich dieser Ausführungsform heraus gefunden, daß das Ausheizen, welches nach der Reoxidationswärmebehandlung bei niedriger Temperatur durchgeführt wird, die Grenzschnittzustandsdichte in der Gateoxidschicht 7 und an der Schnittstelle zwischen der Gateoxidschicht 7 und der Oberflächenkanalschicht 5 verringert. Dieses Ausheizen wird im folgenden als Elektronenhaftstellenreduzierungs-ausheizen bezeichnet. Aus Fig. 12 ergibt sich, daß das Elektronenhaftstellenreduzierungs-ausheizen bei einer niedrigen Temperatur im Vergleich zu derjenigen bei der zweiten Ausführungsform durchgeführt wird. Da des weiteren das Elektronenhaftstellenreduzierungs-ausheizen bei einer Temperatur etwa gleich derjenigen (von etwa 950°C) der Reoxidationswärmebehandlung bei niedriger Temperatur durchgeführt wird, kann das Elektronenhaftstellenreduzierungs-ausheizen lediglich durch einen Austausch des Umgebungsgases unmittelbar nach der Reoxidationswärmebehandlung bei niedriger Temperatur durchgeführt werden, was zu einem vereinfachten Herstellungsverfahren führt. Da die Temperatur des Elektronenhaftstellenreduzierungs-ausheizens nicht erhöht werden muß, wird die Grenzschnittzustandsdichtescharakteristik infolge des Umgebungsgases während der Temperaturanstiegsperiode nicht verändert.

Obwohl das Elektronenhaftstellenreduzierungs-ausheizen in der Umgebung durchgeführt wird, welche Sauerstoff enthält, kann der Gehalt von Sauerstoff verringert werden. Beispielsweise zeigt Fig. 13 eine Beziehung zwischen einer oxidierten Dicke und einer Grenzschnittzustandsdichte der Oxidschicht, wenn das Ausheizen in einer Umgebung durchgeführt wird, welche Stickstoff und Sauerstoff in einem Verhältnis von Stickstoff zu Sauerstoff von 100 : 1 enthält. Sogar wenn wie in der Figur dargestellt der Gehalt von Sauerstoff niedrig ist, kann die Grenzschnittzustandsdichte verringert werden. Da jedoch die optimale Ausheiztemperatur zur Verringerung der Grenzschnittzustandsdichte entsprechend dem Gehalt von Sauerstoff geändert werden kann, wird es bevorzugt, daß die Ausheiztemperatur entsprechend dem Gehalt von Sauerstoff optimiert wird. Die Umgebung des Ausheizens kann zusätzlich zu Stickstoff Wasserstoff, ein inertes Gas wie Argon (Ar) oder dergleichen oder eine daraus gebildete Mischung enthalten.

Bei den ersten bis dritten Ausführungsformen läßt man die Oberflächenkanalschicht 5 epitaxial aufwachsen; jedoch kann die Oberflächenkanalschicht 5 durch Implantieren von Ionen in die p-Typ Basisgebiete 3a, 3b gebildet werden. Obwohl die vorliegende Erfindung ebenfalls wie die ersten bis dritten Ausführungsformen auf einen planaren MOSFET gerichtet ist, kann sie auf einen MOSFET eines Grabengatetyps, einen lateralen MOSFET und dergleichen gerichtet sein.

Fig. 14 stellt einen MOSFET eines Grabengatetyps als Beispiel dar. Der MOSFET des Grabengatetyps enthält ein Substrat 24, welches sich aus einem n<sup>+</sup>-Typ Halbleitersubstrat, einer n-Typ Epischicht 22 und einer p-Typ Basisschicht 23 zusammensetzt. Ein Graben 27 ist auf der Oberfläche des Substrats 24 gebildet, um durch ein Sourcegebiet 25 zu verlaufen, welches in einem Oberflächenteil der p-Typ Basisschicht 23 angeordnet ist, und die p-Typ Basisschicht 23. Eine Oberflächenkanalschicht 28 ist auf einer Seitenwand 27a des Grabens 27 gebildet. Eine Gateelektrode 30 ist in dem Graben 27 durch eine Gateoxidschicht 29 gebildet. Eine Sourceelektrode 32 ist auf der Gateelektrode 30 durch eine Zwischenisolierungsschicht 31 angeordnet und ist mit dem Sourcegebiet 25 und der p-Typ Basisschicht 23 verbunden. Des weiteren ist eine Drainelektrode 33 auf der Rückseite des Substrats 24 vorgesehen.

Wenn beispielsweise in dem MOSFET des Grabengatetyps mit der oben beschriebenen Struktur die Oberflächenkanalschicht 28, welche unter der Gateoxidschicht 29 in dem Graben 27 liegt, mit einer niedrigen Störstellenkonzentration wie bei der ersten Ausführungsform gebildet wird oder wenn eine Ausheizbehandlung bei hoher Temperatur durchgeführt wird, nachdem die Gateoxidschicht 29 wie bei der zweiten Ausführungsform gebildet worden ist, können dieselben Effekte bei den ersten und zweiten Ausführungsformen erzielt werden.

Fig. 15 stellt ebenfalls einen lateralen MOSFET dar. Der laterale MOSFET enthält ein p-Typ Halbleitersubstrat 101, und eine Oberflächenkanalschicht 102 ist in einem bestimmten Oberflächengebiet des Substrats 101 durch Ionenimplantierung oder dergleichen gebildet. Source- und Drainschichten 103, 104 sind an beiden Seiten der Oberflächenkanalschicht 102 gebildet. Eine Gateelektrode 106 ist auf der Oberflächenkanalschicht 102 über einer Gateoxidschicht 105 gebildet. Wenn bei diesem lateralen MOSFET beispielsweise die Oberflächenkanalschicht 102, welche unter der Gateoxidschicht 105 liegt, mit einer niedrigen Störstellenkonzentration wie bei der ersten Ausführungsform gebildet wird oder wenn eine Ausheizbehandlung bei hoher Temperatur durchgeführt wird, nachdem die Gateoxidschicht 105 wie bei der zweiten Ausführungsform gebildet worden ist, können dieselben Effekte wie bei den ersten und zweiten Ausführungsformen erzielt werden.

Obwohl bei der zweiten Ausführungsform die Wärmebehandlung bei hoher Temperatur zur Zerlegung von Siliziumnitrid in einer Wasserstoffumgebung durchgeführt wird, kann sie in einer Umgebung durchgeführt werden, welche Sauerstoff, ein inertes Gas wie Ar, eine Mischung davon oder dergleichen enthält, um dieselben Effekte vorzusehen. Des weiteren ist die vorliegende Erfindung wie bei den ersten und bis dritten Ausführungsformen auf eine Siliziumkarbid-Halbleiteranordnung gerichtet, welche einen Kanal eines Akkumulationstyps als die Oberflächenkanalschicht 5 enthält; jedoch kann die Erfindung auf andere Typen von Siliziumkarbid-Halbleiteranordnungen wie eine Anordnung gerichtet sein, welche ein Inversionskanalgebiet enthält, das beispielsweise durch Invertieren einer n-Typ Halbleiterschicht in eine p-Typ Halbleiterschicht gebildet wird.

#### Vierte Ausführungsform

Bei einem vertikalen Leistungs-MOSFET einer vierten bevorzugten Ausführungsform wird die Oberflächenkanalschicht durch Dotieren eines Elementes gewählt aus der fünfzehnten Gruppe (der veralteten Gruppe 5B) von Elementen in der Tabelle des periodischen Systems außer Stickstoff wie Phosphor (P), Arsen (As), Antimon (Sb) und Wismut (Bi) gebildet.

Die Struktur des vertikalen Leistungs-MOSFETs dieser Ausführungsform ist im wesentlichen dieselbe wie die in Fig. 4 dargestellte Struktur und wird bezüglich der ersten Ausführungsform erklärt. Daher werden dieselben Teile mit denselben Bezugszeichen bezeichnet und dieselbe Erklärung wird nicht wiederholt. Der vertikale Leistungs-MOSFET dieser Ausführungsform besitzt ebenfalls die tiefen Basisschichten 30a, 30b (vgl. Fig. 7C), wo die Basisgebiete 3a, 3b partiell verdickt sind. Dementsprechend ist die n-Typ Epischicht 2, welche unter den tiefen Basisschichten 30a, 30b liegt, verdünnt, so daß das Intervall zwischen dem n-Typ Halbleitersubstrat 1 und den tiefen Basisschichten 30a, 30b verkürzt ist, was zu einer erhöhten Feldstärke führt. Die erhöhte Feldstärke kann leicht einen Lawinendurchbruch hervorrufen.

Als nächstes wird ein Schritt zur Bildung der Oberflächenkanalschicht 5 erklärt. Die anderen Schritte zur Bildung des vertikalen Leistungs-MOSFETs bei der vierten Ausführungsform sind im wesentlichen dieselben wie jene bei der ersten Ausführungsform.

Nachdem entsprechend Fig. 5C die p-Typ Basisgebiete 3a, 3b in der n-Typ Epischicht 2 gebildet worden sind, wird die Oberflächenkanalschicht 5 auf der n-Typ Epischicht 2 durch das CVD-Verfahren gebildet. Zu diesem Zeitpunkt schreitet das epitaxiale Aufwachsen unter Verwendung wenigstens eines der Elemente der fünfzehnten Gruppe außer Stickstoff (N) fort, d. h. wenigstens eines Elementes von P, As, Sb und Bi als Dotierungssubstanz. Dementsprechend wird die Oberflächenkanalschicht 5 gebildet, ohne daß Stickstoff vorhanden ist. In diesem Fall wird vorzugsweise die Störstellenkonzentration in der Oberflächenkanalschicht 5 auf einen Wert in einem Bereich von  $1 \times 10^{15} \text{ cm}^{-3}$  bis  $1 \times 10^{17} \text{ cm}^{-3}$  gesteuert, und die Konzentration des unabsichtlich dotierten Stickstoffs sollte gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  wie bei der ersten Ausführungsform sein.

Ebenfalls ist in diesem Fall wie bezüglich der ersten Ausführungsform erklärt die Dicke der Oberflächenkanalschicht 5 auf einen kleineren Wert festgelegt als wie die Summe der ausgedehnten Breiten der Verarmungsschicht, welche sich von den p-Typ Basisgebieten 3a, 3b in die Oberflächenkanalschicht 5 erstreckt, und der Verarmungsschicht, welche sich von der Gateoxidschicht 7 in die Oberflächenkanalschicht 5 erstreckt, wenn keine Spannung an die Gateelektrode 8 angelegt wird. Dementsprechend wird der vertikale Leistungs-MOSFET zu einem normalerweise ausgeschalteten Typ. Die Effekte, anwendbare Änderungen und dergleichen des auf diese Weise erlangten normalerweise ausgeschalteten vertikalen Leistungs-MOSFETs sind dieselben wie diejenigen bei der ersten Ausführungsform.

Da darüber hinaus bei der vierten Ausführungsform der Oberflächenkanal 5, welcher unter der Gateoxidschicht 7 liegt, keinen Stickstoff enthält, wird sogar dann, nachdem die Gateoxidschicht 7 durch thermische Oxidation gebildet worden

ist, kaum darin Siliziumnitrid erzeugt. Lediglich in einer Oxidationsvorrichtung, welche für die NaBoxidation verwendet wird, verbleibender Stickstoff, in das Siliziumkarbid diffundierter Stickstoff und dergleichen können Siliziumnitrid erzeugen; es ist jedoch möglich, jene Elemente auf einen vernachlässigbaren Betrag zu reduzieren. Sogar wenn der verbleibende Stickstoff, welcher einen Absonderungskoeffizienten bezüglich Siliziumkarbid besitzt, der größer als derjenige der anderen Dotierungssubstanzen ist, in die Oberflächenkanalschicht 5 dotiert wird, die mit den Dotierungssubstanzen außer Stickstoff dotiert wird, ist die Konzentration von Stickstoff deutlich niedriger als die Konzentration der anderen Dotierungssubstanzen außer derjenigen von Stickstoff. Daher kann das oben beschriebene Problem nicht durch den Stickstoff hervorgerufen werden.

Folglich kann Stickstoff nicht nur kaum in der Gateoxidschicht 7, sondern ebenfalls an der Schnittstelle zwischen der Gateoxidschicht 7 und der Oberflächenkanalschicht 5 vorhanden sein. Die widrigen Effekte durch Ladungsträgerhaftenstellen (Grenzschichtzustände), welche durch Siliziumnitrid hervorgerufen werden, sind verringert, so daß die FET-Charakteristik und die Zuverlässigkeit der Gateoxidschicht 7 verbessert sind.

Obwohl darüber hinaus die Steuerungen der Dicke und der Dotierungskonzentration der Oberflächenkanalschicht 5 für den MOSFET wichtig sind, der in einer Akkumulationsbetriebsart betrieben wird, ist die Dotierungskonzentrationssteuerung sehr schwierig, wenn Stickstoff als Dotierungssubstanz für die Oberflächenkanalschicht 5 verwendet wird. Dies liegt daran, daß der Absonderungskoeffizient von Stickstoff in Siliziumkarbid größer als 1 ist. Da demgegenüber nahezu jedes der Elemente der fünfzehnten Gruppe außer Stickstoff einen Absonderungskoeffizienten kleiner als 1 besitzt, kann die Dotierungskonzentrationssteuerung bei dieser Ausführungsform leicht durchgeführt werden.

Ebenfalls ist das Störstellenniveau, welches gebildet wird, wenn das Element außer Stickstoff als Dotierungssubstanz verwendet wird, tiefer als das, welches gebildet wird, wenn Stickstoff als Dotierungssubstanz verwendet wird, so daß das Ferminiveau effektiv tiefer liegt. Dies ist vorteilhaft, um die normalerweise ausgeschaltete Charakteristik unter Verwendung des PN-Übergangs zwischen der Oberflächenkanalschicht 5 und den p-Typ Basisgebieten 3a, 3b zu erzielen. Es wird bevorzugt, daß Stickstoff, welcher zur Bildung eines schwachen Störstellenniveaus geeignet ist, als Dotierungssubstanz für das n<sup>+</sup>-Typ Halbleitersubstrat und für die n<sup>+</sup>-Typ Sourcegebiete 4a, 4b verwendet wird, um die Elektronendichten zu erhöhen.

Der Betrieb dieses vertikalen Leistungs-MOSFET's dieser Ausführungsform ist im wesentlichen derselbe wie derjenige der ersten Ausführungsform, und daher wird die Erklärung ausgelassen.

Bei der vierten Ausführungsform wird die Oberflächenkanalschicht 5, welche unter der Gateoxidschicht 7 liegt, durch Verwendung der Dotierungssubstanz gebildet, welche aus den Elementen der fünfzehnten Gruppe außer Stickstoff gewählt wird. Dies liegt daran, daß das Oberflächengebiet der Oberflächenkanalschicht 5 thermisch oxidiert wird, um die Gateoxidschicht 7 zu bilden. Daher ist es nicht nötig, n-Typ Halbleitergebiete außer der Oberflächenkanalschicht 5 mit der Dotierungssubstanz außer Stickstoff zu bilden.

Obwohl die Oberflächenkanalschicht 5 durch epitaxiales Aufwachsen gebildet wird, kann sie durch Ionenimplantierung eines Elements der fünfzehnten Gruppe außer Stickstoff in die p-Typ Basisgebiete 3a, 3b gebildet werden. Es ist offensichtlich, daß die vierte Ausführungsform auf andere Typen von MOSFET's wie einen in Fig. 14 dargestellten sogenannten MOSFET eines Grabengatetyps und einen in Fig. 15 dargestellten sogenannten lateralen MOSFET zusätzlich zu dem in Fig. 4 dargestellten planaren MOSFET angewandt werden kann. D.h. bei dem MOSFET eines Grabengatetyps, welcher in Fig. 14 dargestellt ist, kann die unter der Gateoxidschicht 29 angeordnete Oberflächenkanalschicht durch Dotieren mit der Dotierungssubstanz gebildet werden, welche aus Elementen der fünften Gruppe außer Stickstoff gewählt wird. Bei dem in Fig. 15 lateralen MOSFET kann die unter der Gateoxidschicht 105 angeordnete Oberflächenkanalschicht 102 durch Dotieren mit Elementen der fünfzehnten Gruppe außer Stickstoff gebildet werden.

Ebenfalls kann die Gateoxidschicht 7 durch thermisches Oxidieren einer Oxidschicht gebildet werden, welche auf der Oberflächenkanalschicht 5 durch das CVD-Verfahren oder dergleichen aufgetragen wird. Dementsprechend wird eine thermisch oxidierte Schicht an der Schnittstelle zwischen der aufgetragenen Oxidschicht und dem Siliziumkarbid (der Oberflächenkanalschicht) als die Gateoxidschicht bereitgestellt.

#### Fünfte Ausführungsform

Wenn bei dem in Fig. 14 dargestellten MOSFET eines Grabengatetyps die an die Gateelektrode 30 angelegte Spannung angelegt wird, kann ein Akkumulationskanal in der n-Typ Oberflächenkanalschicht (Dünnschicht-Halbleiterschicht) 28 induziert werden, und es fließt Strom zwischen der Sourceelektrode 32 und der Drainelektrode 33 durch den Kanal. Da bei diesem MOSFET-Typ die Störstellenkonzentration in der p-Typ Epitaxialschicht (Dünnschicht-Halbleiterschicht) 23 und die Störstellenkonzentration der n-Typ Dünnschicht-Halbleiterschicht 28 unabhängig gesteuert werden können, kann die p-Typ Epitaxialschicht 23, welche zwischen dem n<sup>+</sup>-Typ Sourcegebiet 25 und der n-Typ Epitaxialschicht 22 vorhanden ist, mit einer hohen Störstellenkonzentration in einer kleinen Dicke gebildet werden. Dementsprechend ist die Kanallänge verkürzt, was zu einer hohen Sperrspannung und einem niedrigen Einschaltwiderstand führt. Da des weiteren die Betriebsart des MOSFET's eine Akkumulationsbetriebsart ist, bei welcher der Kanal ohne Invertieren des Leitungstyps der Kanalbildungsschicht induziert wird, kann der MOSFET durch die Gatespannung betrieben werden, welche kleiner als diejenige eines Inversions-MOSFET's ist, bei welchem der Kanal durch Invertieren des Leitungstyps induziert wird.

Jedoch besitzen bei der Halbleiteranordnung unter Verwendung von Siliziumkarbid Grenzschichtzustände, welche an einer Schnittstelle zwischen einem Siliziumdioxidgebiet (der Gateoxidschicht 29) und einem Siliziumkarbidgebiet (der n-Typ Epitaxialschicht 22, der p-Typ Epitaxialschicht 23 und den n<sup>+</sup>-Typ Sourcegebieten 25) gebildet werden, eine Dichte (Grenzschichtzustandsdichte), welche um einen Faktor von  $10^1$  bis  $10^2$  größer als diejenige ist, welche an einer Schnittstelle zwischen Silizium und Siliziumdioxid gebildet ist. Die große Grenzschichtzustandsdichte wird durch Karbid und eine Dotierungssubstanz wie Aluminium, Stickstoff oder Bor hervorgerufen, welche in dem Siliziumkarbidgebiet vorhanden ist, und/oder durch Defekte, welche nicht an der SiO<sub>2</sub>/Si-Schnittstelle vorhanden sind und für die SiO<sub>2</sub>/Si-Schnittstelle eigentümlich sind. Wenn die Grenzschichtzustandsdichte groß ist, ist die Kanalbeweglichkeit ver-

ringert und der Einschaltwiderstand erhöht. Der erhöhte Einschaltwiderstand ruft einen erhöhten Kontinuitätsverlust, eine Exothermik bzw. eine Wärmegebung des Transistors, eine verlängerte Schaltgeschwindigkeit und dergleichen hervor.

Im Hinblick auf die obige Beschreibung wird bei einer fünften bevorzugten Ausführungsform die Grenzschichtzustandsdichte auf der Grundlage von unten beschriebenen Computersimulationsergebnissen gesteuert, so daß der Einschaltwiderstand des Transistors nicht erhöht wird.

D.h. wie oben beschrieben baut der Einschaltwiderstand des Transistors auf der Grenzschichtzustandsdichte an der Schnittstelle zwischen dem Siliziumdioxidgebiet und dem Siliziumkarbidgebiet auf. Daher wurde die Beziehung zwischen der Grenzschichtzustandsdichte und dem Einschaltwiderstand in einem in Fig. 16 dargestellten Simulationsmodell mittels einer Simulatorvorrichtung, MEDICI (hergestellt von der Technology Modeling Association) berechnet. Die Simulationsergebnisse sind in Fig. 17 dargestellt. In der Figur stellen mit Klammern versehene numerische Werte eine dicke bzw. eine Störstellenkonzentration einer Epikanalschicht einer Seitenwand dar.

Bei dem Simulationsmodell entsprechend Fig. 16 wurde die Störstellenkonzentration in dem Halbleitersubstrat 21 auf  $8 \times 10^{18} \text{ cm}^{-3}$  festgelegt, und die Störstellenkonzentration und die Dicke der n-Typ Epitaxialschicht 22 wurden auf  $4,3 \times 10^{15} \text{ cm}^{-3}$  bzw.  $5,3 \mu\text{m}$  festgelegt. Die Störstellenkonzentration und die Dicke der p-Typ Epitaxialschicht 23 wurden auf  $2 \times 10^{17} \text{ cm}^{-3}$ ,  $1,9 \mu\text{m}$  festgelegt, und die Störstellenkonzentration und die Dicke des n-Typ Sourcegebiets 25 wurden auf  $2 \times 10^{19} \text{ cm}^{-3}$  bzw.  $0,7 \mu\text{m}$  festgelegt. Die Störstellenkonzentration und die Dicke der Oberflächenkanalschicht 28 wurden auf einen Bereich von  $10^{15} \text{ cm}^{-3}$  bis  $10^{16} \text{ cm}^{-3}$  bzw. auf einen Bereich von  $0,2 \mu\text{m}$  bis  $0,3 \mu\text{m}$  festgelegt. Die Spannung  $V_{GS}$  über den Gate- und Sourceelektroden wurde auf 15 V festgelegt, und die Spannung  $V_{DS}$  über den Drain- und Sourceelektroden wurde auf 0,1 V festgelegt.

Wenn wie in Fig. 17 dargestellt die Grenzschichtzustandsdichte etwa  $4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  überschreitet, erhöht sich der Einschaltwiderstand deutlich. Wenn daher die Grenzschichtzustandsdichte etwa  $4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  überschreitet, zeigt sich keine stabile FET-Charakteristik.

Der Grund dafür wird auf der Grundlage von in Fig. 18A und 18B dargestellten Bandabstandsdiagrammen erklärt, welche Beziehungen zwischen der Grenzschichtzustandsdichte und einem Drainstromfluß in einem Zustand anzeigen, bei welchem eine Gatespannung angelegt wird. Fig. 18A zeigt einen Fall an, bei welchem die Grenzschichtzustandsdichte klein ist, beispielsweise gleich oder kleiner als etwa  $4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ . Wenn die Grenzschichtzustandsdichte klein ist, ist die Energie  $E_c$  an einem Ende eines Leitungsbands kleiner als das Fermi-niveau  $E_F$  an der Schnittstelle zwischen dem Siliziumdioxid und dem Siliziumkarbid.

Wenn demgegenüber die Grenzschichtzustandsdichte wie in Fig. 18B dargestellt groß ist, beispielsweise wenn die Grenzschichtzustandsdichte etwa  $4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  überschreitet, wird die Energie  $E_c$  an dem Ende des Leitungsbands größer als das Fermi-niveau  $E_F$  an der Schnittstelle zwischen dem Siliziumdioxid und dem Siliziumkarbid. Wenn daher die Grenzschichtzustandsdichte gleich oder größer als etwa  $4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  ist, besitzt die Schnittstelle einen relativ kleinen Einschaltwiderstand, so daß der Drainstrom dazu neigt, darin zu fließen; wenn jedoch die Grenzschichtzustandsdichte etwa  $4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  überschreitet, besitzt die Schnittstelle einen deutlich erhöhten Einschaltwiderstand, so daß es für den Drainstrom schwierig wird, darin zu fließen. Des weiteren wird die Ladungsträgerströmung durch die größere Grenzschichtzustandsdichte verbessert, so daß die Mobilität sich verringert. Als Ergebnis wird der Einschaltwiderstand infolge der verringerten Mobilität zusätzlich erhöht.

Daher wird der MOSFET eines Grabengatetyps bei der fünften Ausführungsform durch Einstellen der Grenzschichtzustandsdichte an der Schnittstelle zwischen dem Siliziumdioxid und dem Siliziumkarbid auf der Grundlage der oben beschriebenen Beziehung bereitgestellt. Als Ergebnis kann der MOSFET eine stabile Charakteristik ohne Erhöhen des Einschaltwiderstands und ohne Stützen auf die Grenzschichtzustandsdichte aufweisen.

Im folgenden werden die Struktur und die Merkmale des n-Kanal-Leistungs-MOSFETs eines Grabengatetyps (eines vertikalen Leistungs-MOSFETs) bezüglich der fünften Ausführungsform unter Bezugnahme auf Fig. 19 erklärt. Entsprechend Fig. 19 werden dieselben Teile wie diejenigen in Fig. 14 durch dieselben Bezugszeichen bezeichnet.

Ein n-Typ Siliziumkarbid-Halbleitersubstrat 21 als eine Halbleiterschicht mit niedrigem Widerstand wird aus hexagonalem Siliziumkarbid hergestellt. Eine n-Typ Siliziumkarbid-Halbleiterschicht (n-Typ Epitaxialschicht) 22 als eine Halbleiterschicht mit hohem Widerstand und eine p-Typ Siliziumkarbid-Halbleiterschicht (p-Typ Epitaxialschicht) 23 als erste Halbleiterschicht sind auf dem n-Typ Siliziumkarbid-Halbleitersubstrat 21 in dieser Reihenfolge angeordnet. Das n-Typ Siliziumkarbid-Halbleitersubstrat 21, die n-Typ Epitaxialschicht 22 und die p-Typ Epitaxialschicht 23 bilden ein aus Einkristall-Siliziumkarbid hergestelltes Halbleitersubstrat 24 und besitzen eine obere Oberfläche in etwa entsprechend einer (0001) Kohlenstoffebene.

Des weiteren ist ein n-Typ Sourcegebiet 25 in einem bestimmten Oberflächengebiet der p-Typ Epitaxialschicht 23 gebildet, und es ist ein p-Typ Siliziumkarbidgebiet 26 mit niedrigem Widerstandswert in einem bestimmten Oberflächengebiet der p-Typ Epitaxialschicht 23 auf der inneren Umfangsseite des n-Typ Sourcegebiets 25 gebildet. Ein Graben 27 ist an einem bestimmten Gebiet des n-Typ Sourcegebiets 25 gebildet, um durch das n-Typ Sourcegebiet 25 und die p-Typ Epitaxialschicht 23 zu verlaufen und die n-Typ Epitaxialschicht 22 zu erreichen. Der Graben 27 besitzt eine Seitenwand 27a senkrecht zu der Oberfläche des Halbleitersubstrats 24 und eine Bodenwand 27b parallel zu der Oberfläche des Halbleitersubstrats 24.

Die Seitenwand 27a des Grabens 27 setzt sich zusammen aus mehreren Seiten, welche sich jeweils in etwa parallel zu einer Richtung  $[1\bar{1}00]$  des Siliziumkarbids erstrecken. Dabei drückt die Richtung  $[1\bar{1}00]$  alle kristallographisch äquivalenten Richtungen aus, d. h. die sechs Richtungen  $\langle 1\bar{1}00 \rangle$ ,  $\langle 10\bar{1}0 \rangle$ ,  $\langle 01\bar{1}0 \rangle$ ,  $\langle \bar{1}100 \rangle$ ,  $\langle \bar{1}010 \rangle$ , und  $\langle 0\bar{1}10 \rangle$ . Die durch die Seitenwand 27a definierte ebene Form ist ein Sechseck, dessen innere Winkel im allgemeinen gleich sind. D.h. wie in Fig. 20 dargestellt besitzt das durch die Seitenwand 27a definierte Sechseck sechs Seiten S1, S2, S3, S4, S5 und S6 und sechs innere Winkel von etwa 120 Grad, welche zwischen S1 und S2, S2 und S3, S3 und S4, S4 und S5, S5 und S6 bzw. S5 und S1 definiert sind.

Wiederum unter Bezugnahme auf Fig. 19 ist in dem Graben 27 eine Dünnschicht-Halbleiterschicht (eine zweite Halbleiterschicht) 28, welche aus einem n-Typ Halbleiter hergestellt ist, auf der Seitenwand 27a angeordnet, auf welcher das n-



Typ Sourcegebiet, die p-Typ Epitaxialschicht 23 und die n-Typ Epitaxialschicht 22 bloßgelegt sind. Die Dünnfilm-Halbleiterschicht 28 besitzt eine Dicke etwa in einem Bereich von 100 nm bis 500 nm (1000 Ångström bis 5000 Ångström) und besitzt denselben Kristallstrukturtyp wie die p-Typ Epitaxialschicht 23 wie beispielsweise 6H-SiC. Die Störstellenkonzentration in der Dünnfilm-Halbleiterschicht 28 ist niedriger als diejenige in dem n-Typ Siliziumkarbid-Halbleitersubstrat 21 und in dem n-Typ Sourcegebiet 25.

Wie oben beschrieben ist der Kristallstrukturtyp des Halbleitersubstrats 24 vom Typ 6H-SiC in einem hexagonalen System, und die durch die Seitenwand 27a definierte ebene Form ist ein Sechseck. Dementsprechend kann der Graben 27 eine Form entsprechend dem Kristallstrukturtyp besitzen, was zu einem günstigen Oberflächenzustand der Seitenwand 27a führt. Das Halbleitersubstrat 24 kann aus 4H-SiC oder 3C-SiC gebildet sein. Außerdem wird es in diesem Fall bevorzugt, daß der Graben 27 eine ebene Form entsprechend dem Kristallstrukturtyp besitzt.

Des weiteren ist eine Gateoxidschicht 29, welche aus Siliziumdioxid gebildet ist, auf der Dünnfilm-Halbleiterschicht 28 und auf der Bodenwand 27b innerhalb des Grabens 27 angeordnet. Die Grenzschnittzustandsdichte an der Schnittstelle zwischen der Gateoxidschicht 29 und der Dünnfilm-Halbleiterschicht 28 und zwischen der Gateoxidschicht 29 und der n-Typ Epitaxialschicht 22 ist auf einen Wert gleich oder kleiner als  $4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  festgelegt. Dementsprechend wird die FET-Charakteristik ohne Stützung auf die Grenzschnittzustandsdichte stabil.

Eine Gateelektrode 30 ist auf der Gateoxidschicht 29 in dem Graben 27 angeordnet und mit einer Zwischenisolierungsschicht 31 bedeckt. Eine Sourceelektrode 32 ist als erste Elektrode auf dem n-Typ Sourcegebiet 25 und dem p-Typ Siliziumkarbidgebiet 26 mit niedrigem Widerstand gebildet. Eine Drainelektrode 33 ist als zweite Elektrode auf der Oberfläche des n-Typ Siliziumkarbid-Halbleitersubstrats 21 gebildet, d. h. auf der Rückseite des Halbleitersubstrats 24. In dem derart gebildeten Leistungs-MOSFET eines Grabengatetyps wird ein Akkumulationskanal durch Anlegen einer positiven Spannung an die Gateelektrode 30 induziert, so daß Ladungsträger zwischen der Sourceelektrode 32 und der Drainelektrode 33 fließen. In diesem Fall dient die Dünnfilm-Halbleiterschicht 28 als Kanalbildungsgebiet.

Als nächstes wird ein Herstellungsverfahren des Leistungs-MOSFET's eines Grabengatetyps unter Bezugnahme auf Fig. 21 bis 32 erklärt.

#### In Fig. 21 dargestellter Schritt

Zuerst wird das n-Typ Siliziumkarbid-Halbleitersubstrat 21 bereitgestellt, welches eine Hauptoberfläche entsprechend einer Kohlenstoffebene (0001) besitzt, und die n-Typ Epitaxialschicht 22 ist auf der Hauptoberfläche aufgewachsen. Des weiteren läßt man die p-Typ Epitaxialschicht 23 auf der n-Typ Epitaxialschicht 22 aufgewachsen. Auf diese Weise wird das Halbleitersubstrat 24, welches sich aus dem n-Typ Siliziumkarbid-Halbleitersubstrat 21, der n-Typ Epitaxialschicht 22 und der p-Typ Epitaxialschicht 23 zusammensetzt, gebildet. In diesem Fall werden die n-Typ Epitaxialschicht 22 und die p-Typ Epitaxialschicht 23 in einem Zustand gebildet, bei welchem eine Kristallachse des n-Typ Siliziumkarbid-Halbleitersubstrats 21 um 3,5 Grad bis 8 Grad geneigt ist. Daher besitzt das Halbleitersubstrat 24 eine Hauptoberfläche, welche in etwa einer Kohlenstoffebene (0001) entspricht.

#### In Fig. 22 dargestellter Schritt

Als nächstes wird das n-Typ Sourcegebiet 25 in einem bestimmten Oberflächengebiet der p-Typ Epitaxialschicht 23 gebildet. Des weiteren wird das p-Typ Siliziumkarbidgebiet 26 mit niedrigem Widerstand in einem anderen bestimmten Oberflächengebiet der p-Typ Epitaxialschicht 23 beispielsweise durch Ionenimplantierung von Aluminium gebildet.

#### In Fig. 23 dargestellter Schritt

Danach wird der Graben 27 durch ein Trockenätzverfahren wie ein RIE-Verfahren gebildet, um durch das n-Typ Sourcegebiet 25 und die p-Typ Epitaxialschicht 23 zu verlaufen und die n-Typ Epitaxialschicht 22 zu erreichen. Zu diesem Zeitpunkt ist die Seitenwand 27a des Grabens 27 in etwa parallel zu der Richtung [1100] ausgebildet. Die Siliziumkarbidebene besitzt parallel zu der Richtung [1100] die minimale Kohlenstoffatomdichte. Wenn die Seitenwand 27a des Grabens 27 in etwa parallel zu der Richtung [1100] ist, ist daher die Anzahl von Kohlenstoffatomen auf der Seitenwand 27a gering, so daß die Grenzschnittzustandsdichte, welche durch Kohlenstoffatome erhöht werden kann, verringert wird. Da der Graben 27 derart gebildet ist, daß er wie in Fig. 20 dargestellt den oben beschriebenen Bedingungen genügt, wird die durch die Seitenwand 27a definierte ebene Form zu einem Sechseck mit gleichen inneren Winkeln.

#### In Fig. 24 dargestellter Schritt

Des weiteren wird die aus einem n-Typ Halbleiter gebildete Dünnfilm-Halbleiterschicht 28 durch ein epitaxiales Aufwachsverfahren nicht nur auf der oberen Oberfläche des Halbleitersubstrats 24 sondern ebenfalls auf Innenseiten des Grabens 27 (der Seitenwand 27a und der Bodenwand 27b) gebildet. Insbesondere läßt man die n-Typ Dünnfilm-Halbleiterschicht 28 durch das CVD-Verfahren auf der n-Typ Epitaxialschicht 22 und der p-Typ Epitaxialschicht 23, welche aus 6H-SiC gebildet sind, in dem Graben 27 zu einer 6H-SiC-Schicht homoepitaxial aufwachsen. Als Ergebnis erstreckt sich die Dünnfilm-Halbleiterschicht 28 derart, daß das n-Typ Sourcegebiet 25, die p-Typ Epitaxialschicht 23 und die n-Typ Epitaxialschicht in dem Graben 27 bedeckt werden. Da zu diesem Zeitpunkt die epitaxiale Aufwachsrate in einer Richtung senkrecht zu der Kohlenstoffebene (0001) etwa acht- bis zehnmal größer als parallel zu der Kohlenstoffebene (0001) ist, wird die Dicke der Dünnfilm-Halbleiterschicht 8 auf der Seitenwand 27a groß und auf der Bodenwand 27b klein.

In Fig. 25 dargestellter Schritt

Danach wird die Innenseite des Grabens 27 durch eine RCA-Reinigungsbehandlung gewaschen bzw. gespült. Danach wird eine thermische Oxidation in einer nassen  $O_2$ -Umgebung bei  $1080^\circ C$  über 4 Stunden durchgeführt, und es wird darauffolgend eine Reoxidationsbehandlung (Nachausheizbehandlung) in der nassen  $O_2$ -Umgebung bei  $950^\circ C$  über 3 Stunden durchgeführt. Dementsprechend wird die Gateoxidschicht (Gateisolierungsschicht) 29 mit einer Dicke etwa in einem Bereich von 80 nm bis 100 nm gebildet.

Die Grenzschichtzustandsdichte an der Schnittstelle zwischen der aus Siliziumdioxid hergestellten Gateoxidschicht 29 und der Dünnschicht-Halbleiterschicht 28 und der aus Siliziumkarbid hergestellten n-Typ Epitaxialschicht 22 wird auf einen Wert gleich oder kleiner als  $4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  durch Durchführen der Voroxidationsbehandlung wie der sogenannten RCA-Reinigung, der thermischen Oxidationsbehandlung und der Reoxidationsbehandlung, insbesondere durch Durchführung der Reoxidationsbehandlung gesteuert. Die Dicke der derart gebildeten Gateoxidschicht 29 wird auf der Seitenwand 27a klein und auf der Bodenwand 29b und der Substratoberfläche groß. Die auf der Substratoberfläche und auf der Bodenwand 27b des Grabens 27 aufgewachsene Dünnschicht-Halbleiterschicht wird vollständig thermisch oxidiert. Dies liegt daran, daß eine Oxidationsrate von hexagonalem Siliziumkarbid auf der Kohlenstoffebene (0001) am größten ist. Die Oxidationsrate auf der Kohlenstoffebene (0001) ist etwa fünfmal größer als diejenige auf einer Ebene senkrecht zu der Kohlenstoffebene (0001). Als Ergebnis verbleibt die Dünnschicht-Halbleiterschicht 28 lediglich auf der Seitenwand 27a.

In Fig. 26 dargestellter Schritt

Danach füllt die Gateelektrode 30 die Innenseite der Gateoxidschicht 29 innerhalb des Grabens 27. Die Gateelektrode 30 wird aus p-Typ Polysilizium oder n-Typ Polysilizium hergestellt.

In Fig. 27 dargestellter Schritt

Des weiteren wird die Zwischenisolierungsschicht 31 auf der Gateelektrode 30 gebildet. Danach wird wie in Fig. 19 dargestellt die Sourceelektrode 32 nicht nur auf dem n-Typ Sourcegebiet 25 und dem p-Typ Siliziumkarbidgebiet 26 mit niedrigem Widerstand, sondern ebenfalls auf der Zwischenisolierungsschicht 31 gebildet. Des weiteren wird die Drainelektrode 33 auf der Oberfläche des n-Typ Siliziumkarbid-Halbleitersubstrats 21 gebildet, wodurch der Leistungsmosfet eines Grabengatetyps fertiggestellt wird.

Bei der oben beschriebenen Ausführungsform wird das auffallende Anwachsen des Einschaltwiderstands durch geeignetes Steuern der Grenzschichtzustandsdichte verhindert, wodurch Fluktuationen der FET-Charakteristik verhindert werden. Jedoch verschlechtert sich die FET-Charakteristik nicht nur, wenn der Einschaltwiderstand erhöht wird, sondern ebenfalls wenn die stationäre bzw. festgelegte Ladungsdichte, welche in dem Siliziumdioxidgebiet und an der Schnittstelle zwischen dem Siliziumdioxid und dem Siliziumkarbid vorkommt, groß ist. D. h. die große stationäre Ladungsdichte ruft Fluktuationen in der Schwellenwertspannung des Transistors hervor, und dementsprechend wird ein Leckstrom zwischen den Drain- und Sourceelektroden sogar in einem Zustand, bei welchem der Transistor ausgeschaltet ist, erzeugt, was zu einer Verschlechterung der FET-Charakteristik führt. Daher sollte verhindert werden, daß der Leckstrom zwischen den Drain- und Sourceelektroden in dem Zustand des ausgeschalteten Transistors auffallend ansteigt.

Fig. 28 stellt eine Beziehung zwischen der stationären Ladungsdichte und dem Leckstrom dar, welche unter Verwendung desselben in Fig. 16 dargestellten Simulationsmodells berechnet wurde. Die Spannung  $V_{GS}$  über den Gate- und Sourceelektroden wurde auf 0 V festgelegt, und die Spannung  $V_{DS}$  über den Drain- und Sourceelektroden wurde auf 600 V festgelegt. Wie in der Figur dargestellt stützt sich der Leckstrom zwischen den Drain- und Sourceelektroden in dem Zustand, bei welchem der Transistor ausgeschaltet ist, auf die stationäre Ladungsdichte und steigt auffallend an, wenn die stationäre Ladungsdichte etwa  $7 \times 10^{11} \text{ cm}^{-2}$  überschreitet. Dies bedeutet, daß die FET-Charakteristik instabil wird, wenn die stationäre Ladungsdichte etwa  $7 \times 10^{11} \text{ cm}^{-2}$  überschreitet.

Der Grund dafür wird auf der Grundlage von in Fig. 29A und 29B dargestellten Bandabstandsdiagrammen erklärt, welche Beziehungen zwischen der stationären Ladungsdichte und dem Leckstromfluß anzeigen. Fig. 29A stellt einen Fall dar, bei welchem die stationäre Ladungsdichte klein ist, beispielsweise bei welchem die positive stationäre Ladungsdichte gleich oder kleiner als etwa  $7 \times 10^{11} \text{ cm}^{-2}$  ist. Wenn die stationäre Ladungsdichte klein ist, ist das Energieniveau  $E_C$  an dem Ende des Leitungsbands größer als das Fermi-niveau  $E_F$  an der Schnittstelle zwischen dem Siliziumdioxid und dem Siliziumkarbid. In diesem Zustand kann eine relativ kleine Fluktuation in der stationären Ladungsdichte nicht den Leckstrom hervorrufen.

Demgegenüber wird in einem Fall, bei welchem die positive stationäre Ladungsdichte wie in Fig. 29B dargestellt groß ist, beispielsweise bei welchem die stationäre Ladungsdichte  $7 \times 10^{11} \text{ cm}^{-2}$  überschreitet, das Energieniveau  $E_C$  an dem Ende des Leitungsbands kleiner als das Fermi-niveau  $E_F$  an der Schnittstelle zwischen dem Siliziumdioxid und dem Siliziumkarbid. In diesem Fall fließt der Leckstrom, so daß die FET-Funktion nicht erfüllt wird. Deswegen wird durch Festlegen der positiven stationären Ladungsdichte auf einen Wert gleich oder kleiner als  $7 \times 10^{11} \text{ cm}^{-2}$  verhindert, daß der Leckstrom, welcher zwischen den Drain- und Sourceelektroden fließt, sich auffallend erhöht, wodurch eine Fluktuation der FET-Charakteristik verhindert wird.

Wie in Fig. 17 dargestellt stützt sich der Einschaltwiderstand auf die Grenzschichtzustandsdichte und ist nicht auf die Dicke und die Dotierungskonzentrationen der n-Typ Epitaxialschicht 22, des n-Typ Sourcegebiets 25 und der Dünnschicht-Halbleiterschicht 28 bezogen. Daher ist es nicht immer notwendig, die Dicken und Dotierungskonzentrationen der oben beschriebenen Schichten wie oben beschrieben festzulegen. Wenn jedoch die Dicken der n-Typ Epitaxialschicht 22, des n-Typ Sourcegebiets 25 und der Dünnschicht-Halbleiterschicht 28 erhöht sind, ist der innere Widerstand unabhängig von der Grenzschichtzustandsdichte zur Erhöhung des Einschaltwiderstands erhöht. Daher sollte dieser Punkt bei der Festlegung der Dicken berücksichtigt werden.

Des weiteren kann die Sourceelektrode 32, welche auf dem n<sup>+</sup>-Typ Sourcegebiet 25 und dem p-Typ Siliziumkarbidgebiet 26 mit niedrigem Widerstand gebildet wird, aus anderen Materialien hergestellt werden. Des weiteren kann das p-Typ Siliziumkarbidgebiet 26 mit niedrigem Widerstand weggelassen werden. In diesem Fall wird die Sourceelektrode 32 zur Kontaktierung des n<sup>+</sup>-Typ Sourcegebiets 25 und der p-Typ Epitaxialschicht 23 gebildet. Es ist für die Sourceelektrode 32 ausreichend, wenigstens das n<sup>+</sup>-Typ Sourcegebiet 25 zu kontaktieren.

Ebenfalls ist die Siliziumkarbid-Halbleiteranordnung, auf welche die vorliegende Erfindung gerichtet ist, nicht auf den oben beschriebenen vertikalen n-Kanal-MOSFET beschränkt und kann ein vertikaler p-Kanal n-Mulden-MOSFET invertierender p- und n-Typen, welche in Fig. 19 dargestellt sind, ein vertikaler Inversionskanal-MOSFET ein Leistungs-MOSFET eines Grabengate-Inversionskanaltyps oder dergleichen sein.

Bei der in Fig. 19 dargestellten Struktur bildet die Seitenwand 27a des Grabens 27 einen Winkel von etwa 90° bezüglich der Oberfläche des Halbleitersubstrats 24; jedoch kann der Winkel von 90° abweichen. Beispielsweise kann wie in Fig. 30 dargestellt der Graben 27 einen V-förmigen Querschnitt besitzen. Des weiteren kann wie in Fig. 31 dargestellt der Graben 27 leicht gekrümmte Seitenwände 27a ohne eine flache Bodenwand besitzen. Der zwischen der Seitenwand 27a des Grabens 27 und der Oberfläche des Halbleitersubstrats 24 definierte Winkel sollte derart gewählt sein, daß die Kanalmobilität groß wird.

Ebenfalls kann wie in Fig. 32 dargestellt ein oberer Teil der Gateelektrode 30 sich über das n<sup>+</sup>-Typ Sourcegebiet 25 erstrecken. Dementsprechend kann der Verbindungswiderstand zwischen dem n<sup>+</sup>-Typ Sourcegebiet 25 und dem in der Dünnfilm-Halbleiterschicht 28 induzierten Kanal reduziert sein. Des weiteren kann wie in Fig. 33 dargestellt die Gateoxidschicht 29 den mittleren Teil und das untere Ende der Dünnfilm-Halbleiterschicht 28 mit einer konstanten Dicke kontaktieren, so daß sich die Gateelektrode 30 tiefer als das untere Ende der Dünnfilm-Halbleiterschicht 28 erstreckt. Dementsprechend kann der Verbindungswiderstand zwischen dem in der Dünnfilm-Halbleiterschicht 28 induzierten Kanal und dem Draingebiet reduziert sein.

Des weiteren kann wie in Fig. 34 dargestellt der obere Teil der Gateelektrode 30 sich über dem n<sup>+</sup>-Typ Sourcegebiet 25 erstrecken, und gleichzeitig kann sich die Gateelektrode 30 tiefer als das untere Ende der Dünnfilm-Halbleiterschicht 28 wie in Fig. 33 dargestellt erstrecken. Die Dünnfilm-Halbleiterschicht 28 und die p-Typ Epitaxialschicht 23 besitzen unterschiedliche Kristallstrukturtypen. Wenn beispielsweise die p-Typ Epitaxialschicht 23 aus 6H-SiC gebildet ist und die Dünnfilm-Halbleiterschicht 28 aus 4H-SiC gebildet ist, ist die Beweglichkeit in Ladungsträgerflussrichtung erhöht, so daß der Leistungsverlust des MOSFET's reduziert ist. Des weiteren kann wie in Fig. 35 dargestellt eine durch die Seitenwand des Grabens 27 einschließlich der Gateelektrode definierte ebene Form ein Sechseck mit etwa gleichen inneren Winkeln sein. D.h. wie in Fig. 36 dargestellt besitzt das Sechseck sechs Seiten S11, S12, S13, S14, S15 und S16 und sechs innere Winkel von etwa 120°, welche zwischen zwei benachbarten Seiten definiert sind.

Obwohl die Seitenwand 27a des Grabens 27 sich aus mehreren Ebenen in etwa parallel zu der Richtung [1100] bei dieser Ausführungsform zusammensetzt, ist jedoch die Richtung, bezüglich der die Ebenen, welche die Seitenwand 27a bilden, in etwa parallel ausgerichtet sind, nicht darauf beschränkt und sie kann eine Richtung [1120] sein. Des weiteren können dieselben Effekte wie oben beschrieben in einem in Fig. 37 dargestellten sogenannten vertikalen planaren MOSFET erzielt werden, bei welchem eine n-Typ Dünnfilm-Halbleiterschicht 28 als Kanalbildungsschicht auf einer Siliziumkarbidoberfläche gebildet ist, um darin einen Kanal bereitzustellen. In diesem Fall kann der Kanal auf der Kohlenstoffebene (0001) oder einer Kohlenstoffebene (0001) gebildet werden. Die Kanalbildungsschicht kann sich aus einer durch ein Ionimplantationsverfahren gebildeten n-Typ Schicht anstelle der n-Typ Dünnfilm-Halbleiterschicht 28 zusammensetzen. Ebenfalls ist eine Struktur denkbar, bei welcher der n-Typ von Fig. 37 mit dem p-Typ invertiert ist.

Des weiteren stellt Fig. 38 einen Leistungs-MOSFET eines Grabengate-Inversionskanaltyps dar, auf welchem die vorliegende Erfindung anwendbar ist. Bei dem MOSFET ist es nicht nötig, die Oberflächenkanalschicht 28 zu bilden. In Fig. 30 bis 38 sind die Teile, welche dieselben Funktionen wie die in Fig. 19 dargestellten Teile besitzen, mit denselben Bezugszeichen bezeichnet.

Vorstehend wurde eine Siliziumkarbid-Halbleiteranordnung und ein Verfahren zu deren Herstellung offenbart. Ein vertikaler Leistungs-MOSFET, der aus Siliziumkarbid hergestellt ist, enthält eine Oberflächenkanalschicht, die mit Stickstoff als Dotierungssubstanz mit einer Konzentration gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  dotiert ist. Wenn eine Gateoxidschicht auf der Oberflächenkanalschicht gebildet wird, wird dementsprechend ein Betrag von Siliziumnitrid, welches in der Gateoxidschicht und an der Schnittstelle zwischen der Gateoxidschicht und der Oberflächenkanalschicht gebildet wird, extrem klein. Als Ergebnis wird verhindert, daß Ladungsträgerhaftstellen durch Siliziumnitrid erzeugt werden, was zu einer stabilen FET-Charakteristik und einer hohen Zuverlässigkeit der Gateoxidschicht führt.

#### Patentansprüche

1. Siliziumkarbid-Halbleiteranordnung mit:  
einem n-Typ Halbleitersubstrat (1), welches aus Siliziumkarbid hergestellt ist und eine Hauptoberfläche und eine Rückseitenoberfläche gegenüberliegend der Hauptoberfläche aufweist;  
einer n-Typ Halbleiterschicht (2), welche auf der Hauptoberfläche des n-Typ Halbleitersubstrats vorgesehen ist und aus Siliziumkarbid mit einem höheren Widerstand als demjenigen des n-Typ Halbleitersubstrats hergestellt ist;  
einem p-Typ Basisgebiet (3a, 3b), welches in einem bestimmten Oberflächenteil der n-Typ Halbleiterschicht mit einer ersten Tiefe vorgesehen ist;  
einem n-Typ Sourcegebiet (4a, 4b), welches in einem bestimmten Oberflächenteil in dem p-Typ Basisgebiet mit einer zweiten Tiefe vorgesehen ist, welche flacher als die erste Tiefe des p-Typ Basisgebiets ist;  
einer n-Typ Oberflächenkanalschicht (5), welche auf dem p-Typ Basisgebiet vorgesehen ist, um das n-Typ Sourcegebiet und die n-Typ Halbleiterschicht dadurch zu verbinden, und aus Siliziumkarbid hergestellt ist, welches Stickstoff mit einer Konzentration eines Werts gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  enthält;  
einer Gateisolierungsschicht (7), welche auf der n-Typ Oberflächenkanalschicht vorgesehen ist;  
einer Gateelektrode (8), welche auf der Gateisolierungsschicht vorgesehen ist;



einer Sourcelektrode (10), welche in Kontakt mit dem p-Typ Basisgebiet und dem n-Typ Sourcegebiet vorgesehen ist; und

einer Drainelektrode (11), welche auf der Rückseitenoberfläche des n-Typ Halbleitersubstrats vorgesehen ist.

2. Siliziumkarbid-Halbleiter mit:

einer p-Typ Halbleiterschicht (3a, 3b, 23, 101), welche aus Siliziumkarbid hergestellt ist;

einer n-Typ Oberflächenkanalschicht (5, 28, 102), welche auf der p-Typ Halbleiterschicht angeordnet ist und Stickstoff enthält, dessen Konzentration gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  ist;

ersten und zweiten n-Typ Halbleitergebieten (2, 4a, 4b, 22, 25, 103, 104), welche auf beiden Seiten der n-Typ Oberflächenkanalschicht in Kontakt mit der n-Typ Oberflächenkanalschicht angeordnet sind;

einer Gateisolierungsschicht (7, 29, 105), welche auf einer Oberfläche der n-Typ Oberflächenkanalschicht angeordnet ist; und

einer Gateelektrode (8, 30, 106), welche auf der n-Typ Oberflächenkanalschicht über der dazwischen angeordneten Gateisolierungsschicht angeordnet ist, an welche eine Spannung zur Steuerung eines Betrags von Strom angelegt wird, welcher in der Oberflächenkanalschicht fließt.

3. Siliziumkarbid-Halbleiter mit:

einer Gateelektrode;

einer Gateisolierungsschicht, welche unter der Gateelektrode liegt;

einer n-Typ Halbleiterschicht, welche aus Siliziumkarbid hergestellt ist und unter der Gateelektrode über der dazwischen angeordneten Gateisolierungsschicht liegt, wobei die n-Typ Halbleiterschicht ein Kanalgebiet enthält, in welchem ein Strom fließt, wenn eine Spannung an die Gateelektrode angelegt wird; und

ersten und zweiten p-Typ Halbleitergebieten, welche auf beiden Seiten des Kanalgebiets angeordnet sind, wobei die n-Typ Halbleiterschicht Stickstoff mit einer Konzentration gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  enthält.

4. Siliziumkarbid-Halbleiteranordnung mit:

einem n-Typ Halbleitersubstrat (1, 21), welches aus Siliziumkarbid hergestellt ist und eine Hauptoberfläche und eine Rückseitenoberfläche gegenüberliegend der Hauptoberfläche aufweist;

einer n-Typ Halbleiterschicht (2, 22), welche auf der Hauptoberfläche des n-Typ Halbleitersubstrats angeordnet ist und aus Siliziumkarbid mit einem Widerstand größer als demjenigen des n-Typ Halbleitersubstrats hergestellt ist;

einem p-Typ Basisgebiet (3a, 3b, 23), welches auf der n-Typ Halbleiterschicht angeordnet ist;

einem n-Typ Sourcegebiet (4a, 4b, 25), welches in einem bestimmten Oberflächenteil des p-Typ Basisgebiets angeordnet ist;

einer n-Typ Oberflächenkanalschicht (5, 28), welche auf dem p-Typ Basisgebiet gebildet ist, um das n-Typ Sourcegebiet und die n-Typ Halbleiterschicht dadurch zu verbinden, und aus Siliziumkarbid hergestellt ist, welches mit einem Element dotiert ist, daß aus Elementen der fünfzehnten Gruppe außer Stickstoff einer Tabelle des periodischen Systems dotiert ist und unbeabsichtigt Stickstoff einer Konzentration gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  enthält;

einer Gateisolierungsschicht (7, 29), welche auf der n-Typ Oberflächenkanalschicht vorgesehen ist;

einer Gateelektrode (8, 30), welche auf der Gateisolierungsschicht vorgesehen ist;

einer Sourcelektrode (10, 32), welche in Kontakt mit dem p-Typ Basisgebiet und dem n-Typ Sourcegebiet vorgesehen ist; und

einer Drainelektrode (11, 33), welche auf der Rückseitenoberfläche des n-Typ Halbleitersubstrats vorgesehen ist.

5. Siliziumkarbid-Halbleiteranordnung mit:

einem n-Typ Halbleitersubstrat (1, 21), welches aus Siliziumkarbid hergestellt ist und eine Hauptoberfläche und eine Rückseitenoberfläche gegenüberliegend der Hauptoberfläche aufweist;

einer n-Typ Halbleiterschicht (2, 22), welche auf der Hauptoberfläche des n-Typ Halbleitersubstrats angeordnet ist und aus Siliziumkarbid mit einem Widerstand hergestellt ist, der größer als derjenige des n-Typ Halbleitersubstrats ist;

einem p-Typ Basisgebiet (3a, 3b, 23), welches auf der n-Typ Halbleiterschicht angeordnet ist;

einem n-Typ Sourcegebiet (4a, 4b, 25), welches in einem bestimmten Oberflächenteil des p-Typ Basisgebiets angeordnet ist;

einer n-Typ Oberflächenkanalschicht (5, 28), welche auf dem p-Typ Basisgebiet vorgesehen ist, um das n-Typ Sourcegebiet und die n-Typ Halbleiterschicht dadurch zu verbinden, und aus Siliziumkarbid hergestellt ist, welches mit einem Element dotiert ist, das aus Elementen einer fünfzehnten Gruppe außer Stickstoff in einer Tabelle des periodischen Systems gewählt ist;

einer Gateisolierungsschicht (7, 29), welche auf der n-Typ Oberflächenkanalschicht gebildet ist;

einer Gateelektrode (8, 30), welche auf der Gateisolierungsschicht vorgesehen ist;

einer Sourcelektrode (10, 32), welche in Kontakt mit dem p-Typ Basisgebiet und dem n-Typ Sourcegebiet vorgesehen ist; und

einer Drainelektrode (11, 33), welche auf der Rückseitenoberfläche des n-Typ Halbleitersubstrats vorgesehen ist.

6. Siliziumkarbid-Halbleiteranordnung nach einem der Ansprüche 4 und 5, dadurch gekennzeichnet, daß das n-Typ Halbleitersubstrat, die n-Typ Halbleiterschicht bzw. das n-Typ Sourcegebiet Stickstoff enthalten.

7. Siliziumkarbid-Halbleiteranordnung nach einem der Ansprüche 4 bis 6, dadurch gekennzeichnet, daß

ein Graben (27) vorgesehen ist, welcher durch das n-Typ Sourcegebiet und das p-Typ Basisgebiet verläuft und die n-Typ Halbleiterschicht erreicht und eine Seitenwand aufweist, auf welcher das n-Typ Sourcegebiet und das p-Typ Basisgebiet bloßgelegt sind;

die Oberflächenkanalschicht auf der Seitenwand vorgesehen ist, um das n-Typ Sourcegebiet und die n-Typ Halbleiterschicht dadurch zu verbinden; und

die Gateisolierungsschicht und die Gateelektrode in dem Graben angeordnet sind.

8. Siliziumkarbid-Halbleiteranordnung mit:

einer p-Typ Halbleiterschicht (101);

einer n-Typ Oberflächenkanalschicht (102), welche in einem Oberflächenteil der p-Typ Halbleiterschicht vorgesehen ist und ein Element enthält, das aus Elementen einer fünfzehnten Gruppe außer Stickstoff in einer Tabelle des periodischen Systems gewählt ist;

n-Typ Kontaktgebieten (103, 104), welche auf beiden Seiten der n-Typ Oberflächenkanalschicht angeordnet sind;  
 einer Gateisolierungsschicht (105), welche auf der n-Typ Oberflächenkanalschicht angeordnet ist; und  
 einer Gateelektrode (106), welche auf der n-Typ Oberflächenkanalschicht über der dazwischen angeordneten Gateisolierungsschicht angeordnet ist.

9. Siliziumkarbid-Halbleiteranordnung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß eine Grenzschichtzustandsdichte an einer Schnittstelle zwischen der n-Typ Oberflächenkanalschicht und der Gateisolierungsschicht gleich oder kleiner als  $4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  ist.

10. Siliziumkarbid-Halbleiteranordnung nach einem der Ansprüche 4 bis 9, dadurch gekennzeichnet, daß die n-Typ Oberflächenkanalschicht mit dem Element einer Konzentration in einem Bereich von  $1 \times 10^{15} \text{ cm}^{-3}$  bis  $1 \times 10^{17} \text{ cm}^{-3}$  dotiert ist.

11. Siliziumkarbid-Halbleiteranordnung nach Anspruch 10, dadurch gekennzeichnet, daß die n-Typ Oberflächenkanalschicht unbeabsichtigt Stickstoff in einer Konzentration gleich oder kleiner als  $1 \times 10^{15} \text{ cm}^{-3}$  enthält.

12. Verfahren zur Herstellung einer Siliziumkarbid-Halbleiteranordnung mit den Schritten:

Bilden einer n-Typ Halbleiterschicht (2) aus Siliziumkarbid auf einem n-Typ Siliziumkarbid-Halbleitersubstrat (1) mit einem Widerstand, der größer als derjenige des n-Typ Halbleitersubstrats (1) ist;

Bilden eines p-Typ Basisgebiets (3a, 3b) in einem bestimmten Oberflächenteil der n-Typ Halbleiterschicht (2) mit einer ersten Tiefe;

Bilden einer n-Typ Oberflächenkanalschicht (5) auf der n-Typ Halbleiterschicht (2) und auf dem p-Typ Basisgebiet (3a, 3b);

Bilden eines n-Typ Sourcegebiets (4a, 4b) in einem bestimmten Oberflächenteil des p-Typ Basisgebiets (3a, 3b) mit einer zweiten Tiefe, die flacher als die erste Tiefe ist;

Bilden einer Gateisolierungsschicht (7) auf der Oberflächenkanalschicht (5);

Durchführen einer Hochtemperaturausheizbehandlung bei einer hohen Temperatur gleich oder größer als  $1200^\circ\text{C}$ ;

Bilden einer Gateelektrode (8) auf der Oberflächenkanalschicht (5) über der dazwischen angeordneten Gateisolierungsschicht (7); und

Bilden einer Sourceelektrode (10), um das n-Typ Sourcegebiet (4a, 4b) und das p-Typ Basisgebiet (3a, 3b) zu kontaktieren;

Bilden einer Drainelektrode (11) auf dem n-Typ Siliziumkarbid-Halbleitersubstrat (1) auf einer Seite gegenüberliegend der n-Typ Halbleiterschicht (2).

13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, daß in dem Schritt des Bildens der Gateisolierungsschicht eine Wärmebehandlung bei einer Temperatur gleich oder kleiner als  $1200^\circ\text{C}$  zur Bildung der Gateisolierungsschicht durchgeführt wird.

14. Verfahren nach einem der Ansprüche 12 und 13, dadurch gekennzeichnet, daß die Hochtemperaturausheizbehandlung in einer Umgebung durchgeführt wird, welche wenigstens Wasserstoff, Sauerstoff, Stickstoff oder ein inertes Gas enthält.

15. Verfahren zur Herstellung einer Siliziumkarbid-Halbleiteranordnung, welche eine n-Typ Oberflächenkanalschicht (5, 28, 102) enthält, in der ein Strom fließt, wenn eine Spannung an eine Gateelektrode (8, 30, 106) angelegt wird, mit den Schritten:

Bereitstellen einer p-Typ Halbleiterschicht (3a, 3b, 23, 101);

Bilden der n-Typ Oberflächenkanalschicht auf der p-Typ Halbleiterschicht und erster und zweiter n-Typ Halbleitergebiete (2, 4a, 4b, 22, 25, 103, 104) auf beiden Seiten der n-Typ Oberflächenkanalschicht, so daß die ersten und zweiten n-Typ Halbleitergebiete über der n-Typ Oberflächenkanalschicht verbunden sind;

Bilden einer Gateisolierungsschicht (7, 29, 105) auf der n-Typ Oberflächenkanalschicht durch thermische Oxidation;

Durchführen einer Hochtemperaturausheizbehandlung bei einer Temperatur gleich oder größer als  $1200^\circ\text{C}$ ; und

Bilden der Gateelektrode (8, 30, 106) auf der n-Typ Oberflächenkanalschicht über der Gateisolierungsschicht.

16. Verfahren zur Herstellung einer Siliziumkarbid-Halbleiteranordnung, welche eine n-Typ Siliziumkarbid-Halbleiterschicht mit einem Kanalgebiet enthält, in welchem ein Kanal induziert wird, wenn eine Spannung an eine Gateelektrode angelegt wird, mit den Schritten:

Bilden von ersten und zweiten p-Typ Halbleitergebieten auf beiden Seiten des Kanalgebiets;

Bilden einer Gateisolierungsschicht auf dem Kanalgebiet der n-Typ Siliziumkarbid-Halbleiterschicht durch thermische Oxidation;

Durchführen einer Hochtemperaturausheizbehandlung bei einer Temperatur gleich oder größer als  $1200^\circ\text{C}$ ; und

Bilden der Gateelektrode auf der n-Typ Siliziumkarbid-Halbleiterschicht über der Gateisolierungsschicht.

17. Verfahren zur Herstellung eines Siliziumkarbid-Halbleitersubstrats mit den Schritten:

Bilden einer n-Typ Halbleiterschicht (2) aus Siliziumkarbid auf einer Hauptoberfläche eines n-Typ Siliziumkarbid-Halbleitersubstrats (1) mit einem Widerstand, der größer als derjenige des n-Typ Siliziumkarbid-Halbleitersubstrats ist;

Bilden eines p-Typ Basisgebiets (3a, 3b) in einem bestimmten Oberflächenteil der n-Typ Halbleiterschicht mit einer ersten Tiefe;

Bilden einer n-Typ Oberflächenkanalschicht (5) auf der n-Typ Halbleiterschicht und auf dem p-Typ Basisgebiet;

Bilden eines n-Typ Sourcegebiets (4a, 4b) in einem bestimmten Oberflächenteil des p-Typ Basisgebiets mit einer zweiten Tiefe, die flacher als die erste Tiefe des p-Typ Basisgebiets ist;

Bilden einer Gateisolierungsschicht (7) auf der n-Typ Oberflächenkanalschicht durch thermisches Oxidieren eines Oberflächenteils der n-Typ Oberflächenkanalschicht bei einer ersten Temperatur;

21. Verfahren nach einem der Ansprüche 17 bis 20, dadurch gekennzeichnet, daß das Ausheizen bei einer dritten Temperatur durchgeführt wird, die etwa gleich der zweiten Temperatur des Reoxidationsausheizens ist.

- Leerseite -

FIG. 1

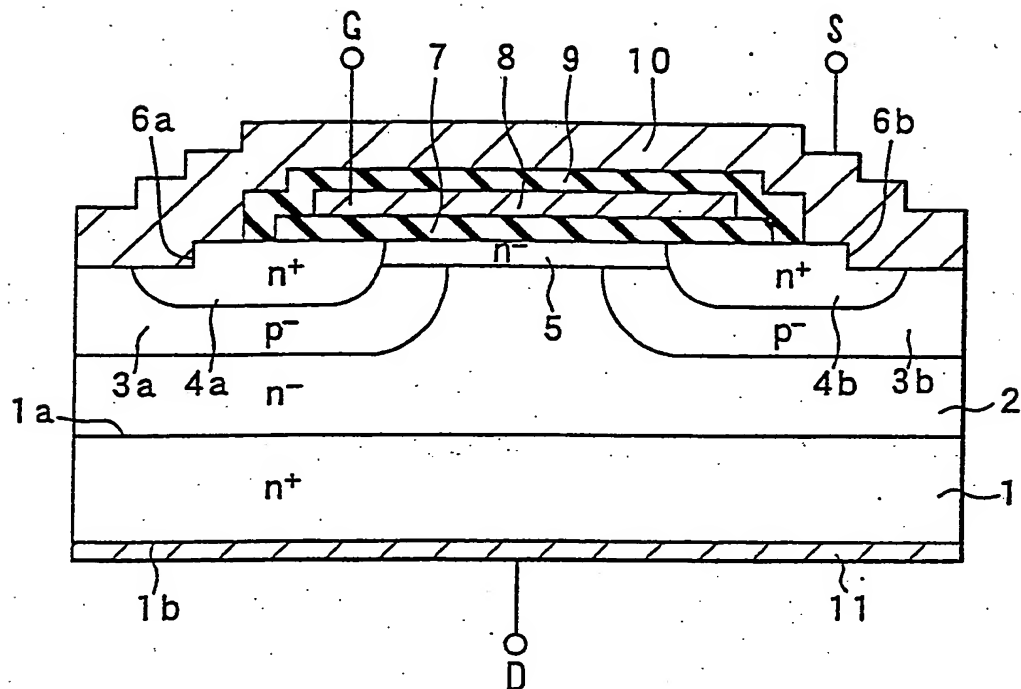


FIG. 2

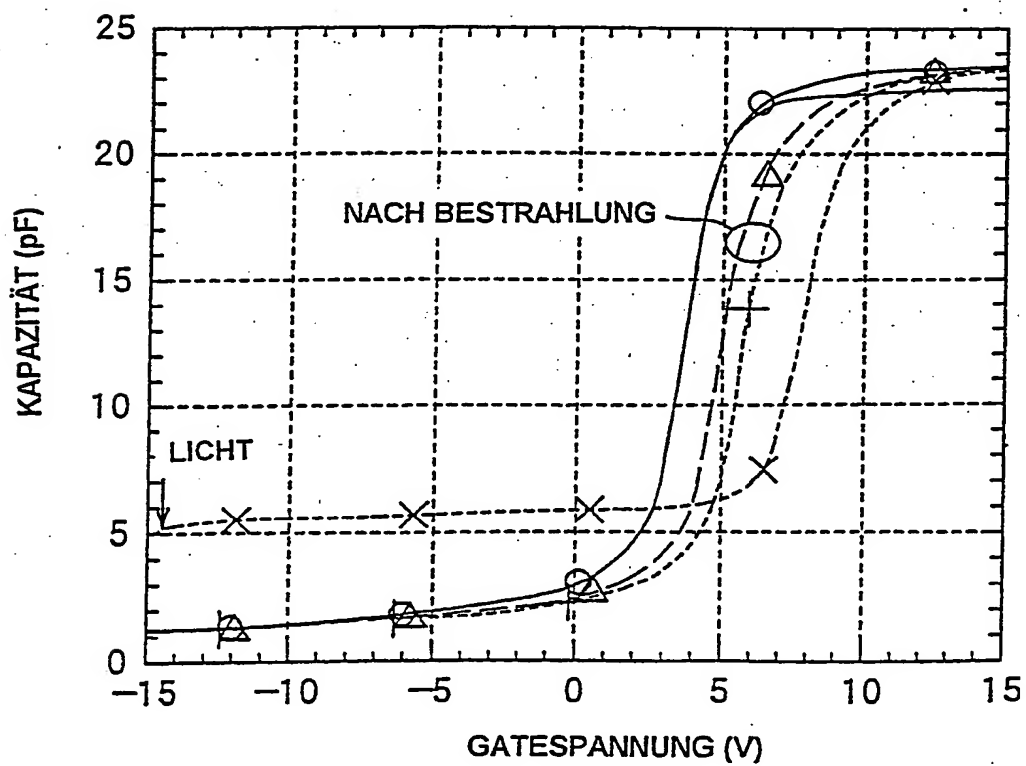


FIG. 3

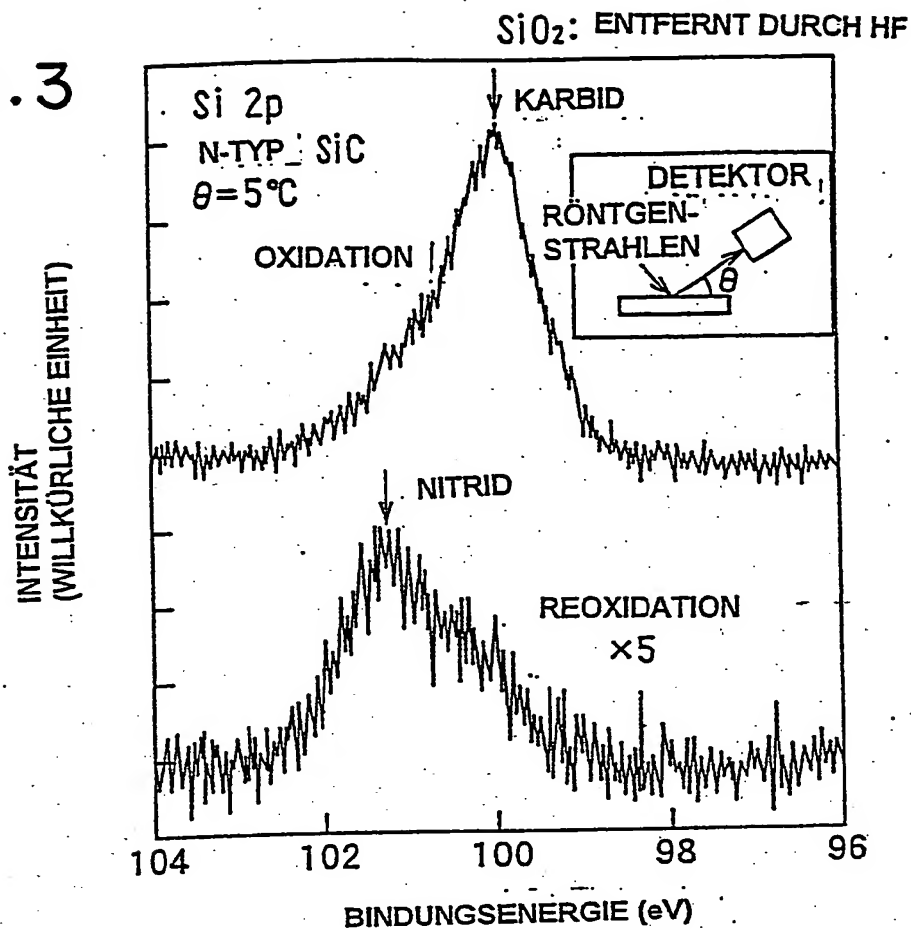


FIG. 4

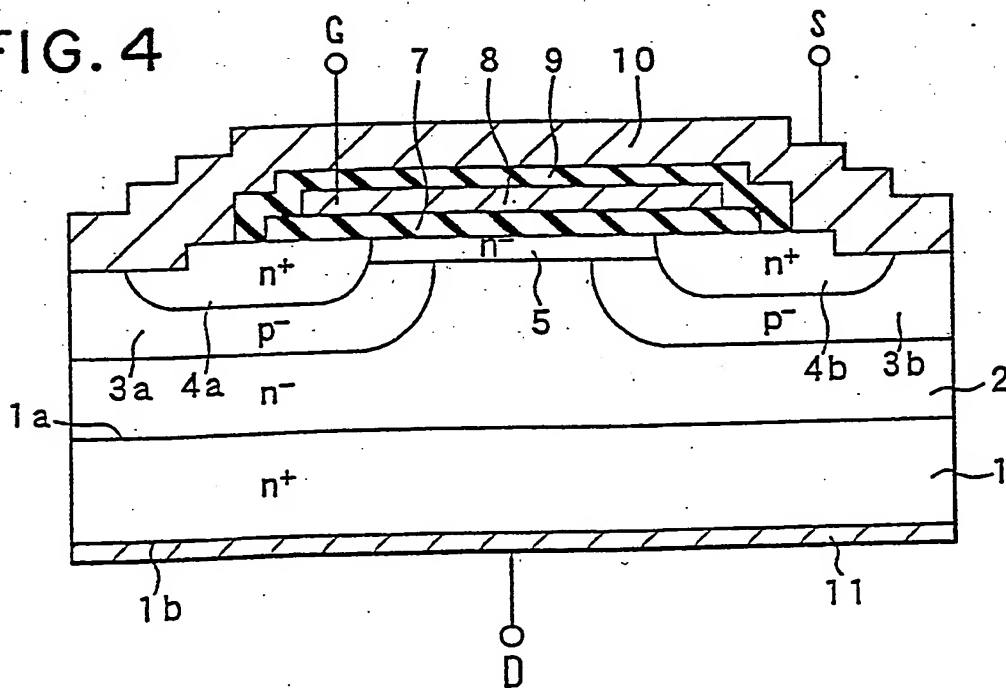


FIG. 5A

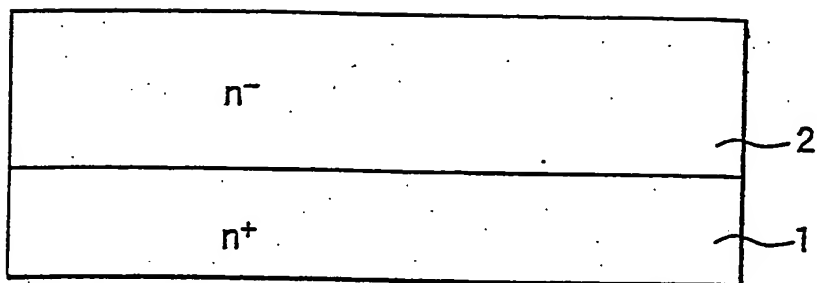


FIG. 5B

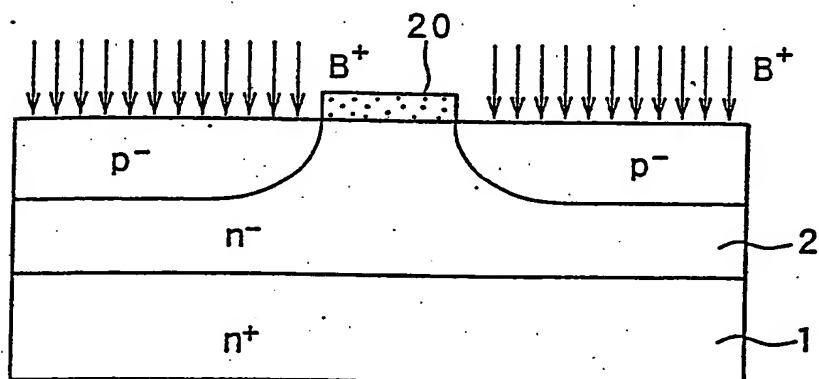


FIG. 5C

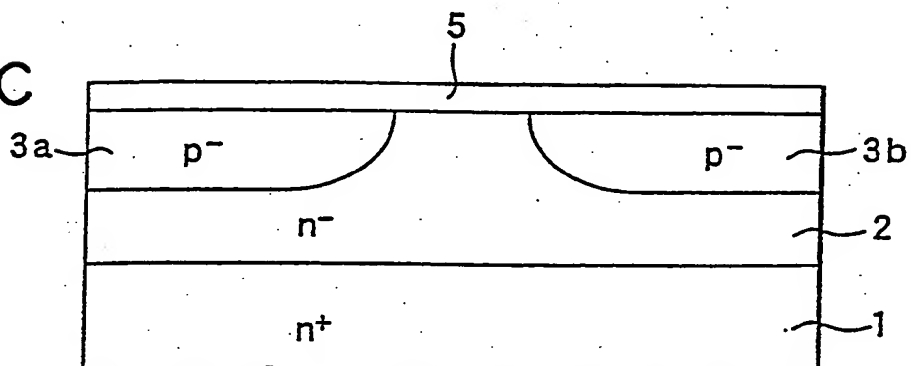


FIG. 6A

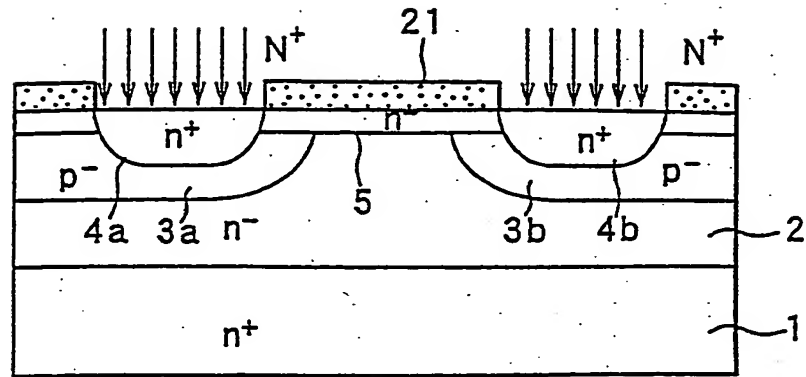


FIG. 6B

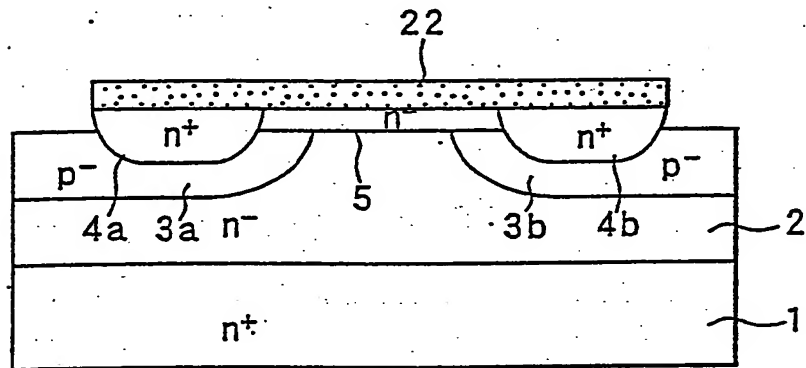


FIG. 6C

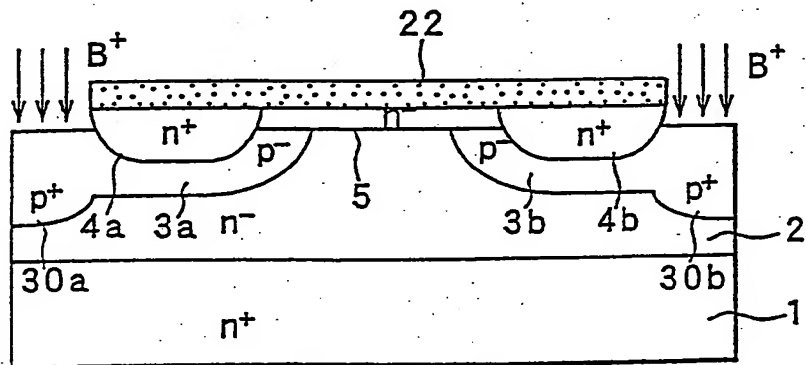




FIG. 7A

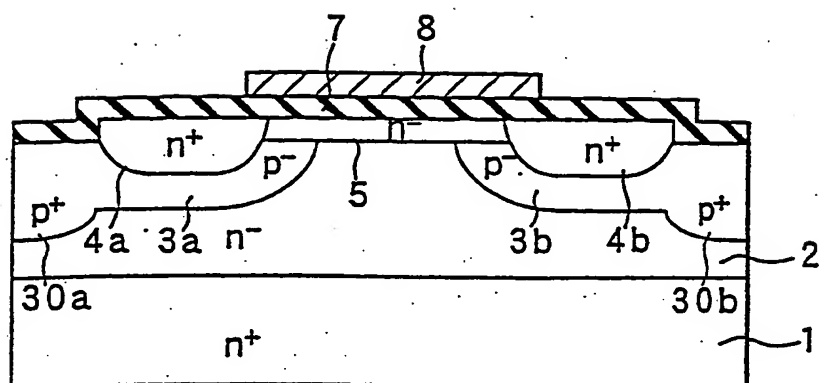


FIG. 7B

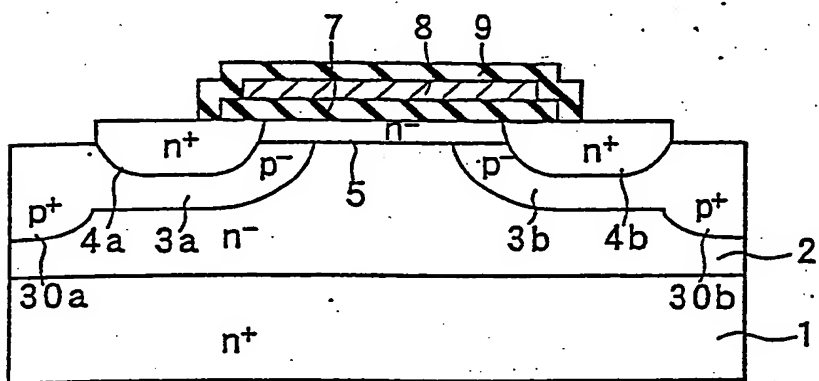


FIG. 7C

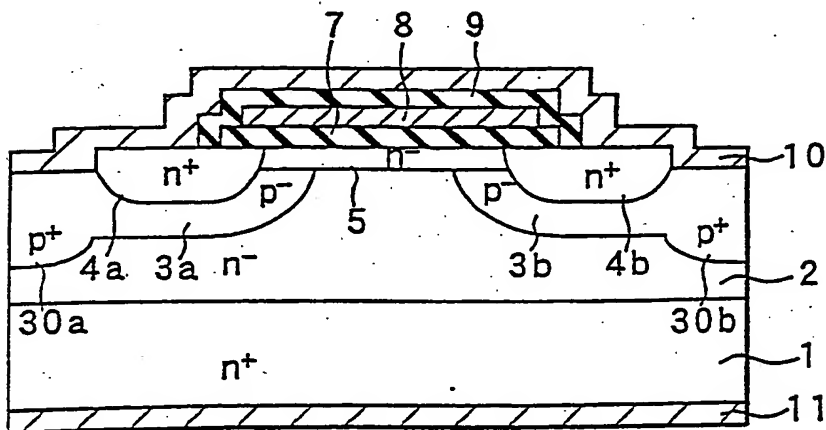


FIG. 8

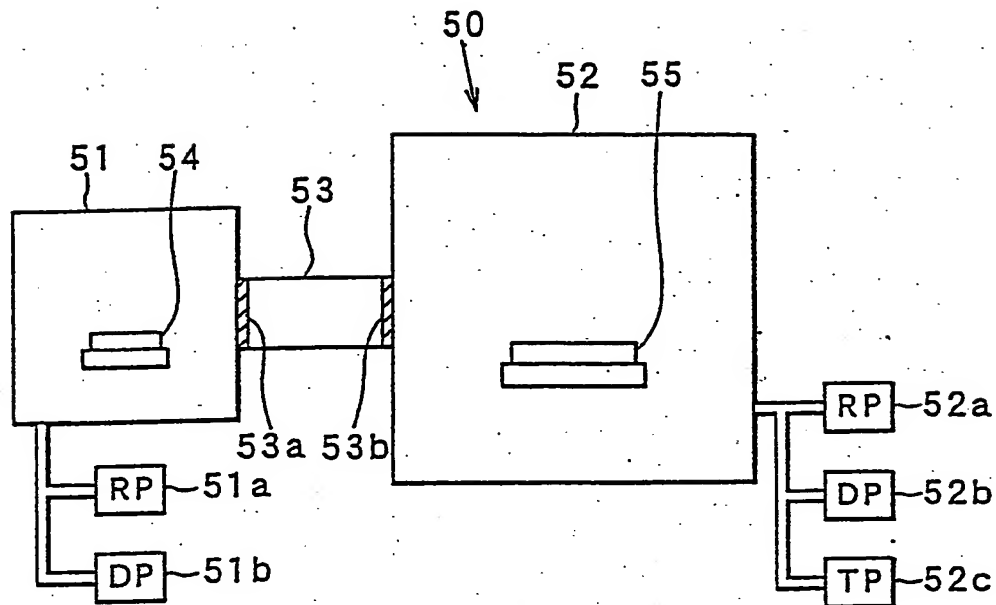


FIG. 9

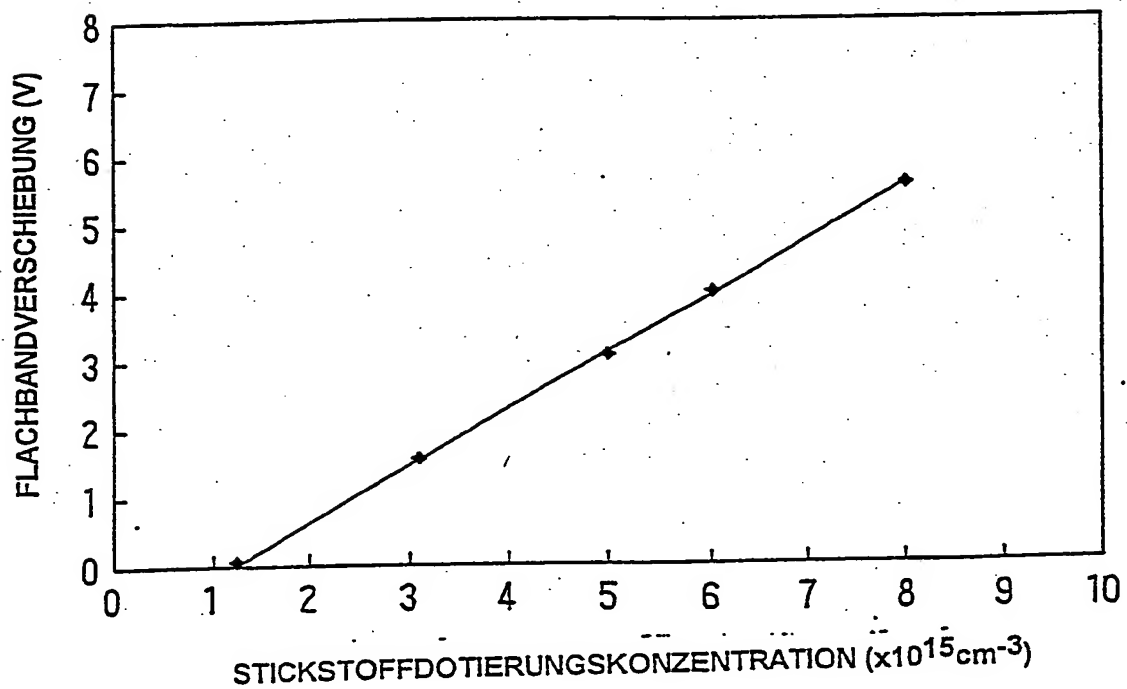


FIG. 10

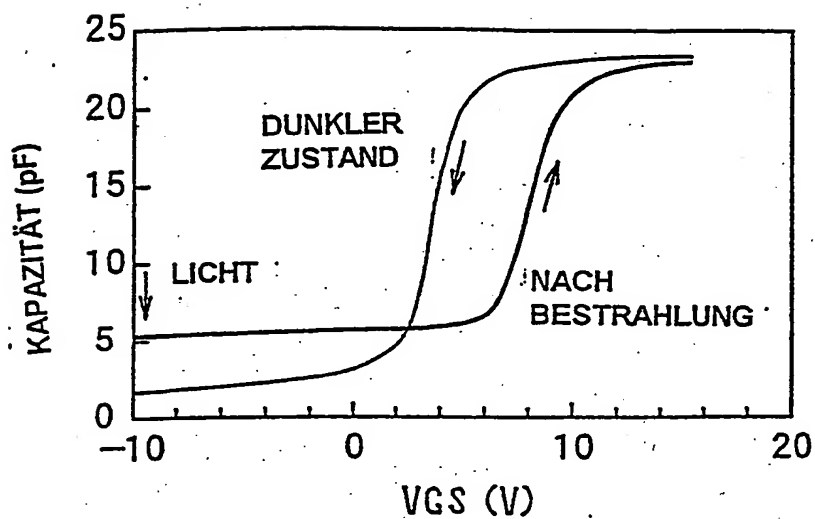


FIG. 11

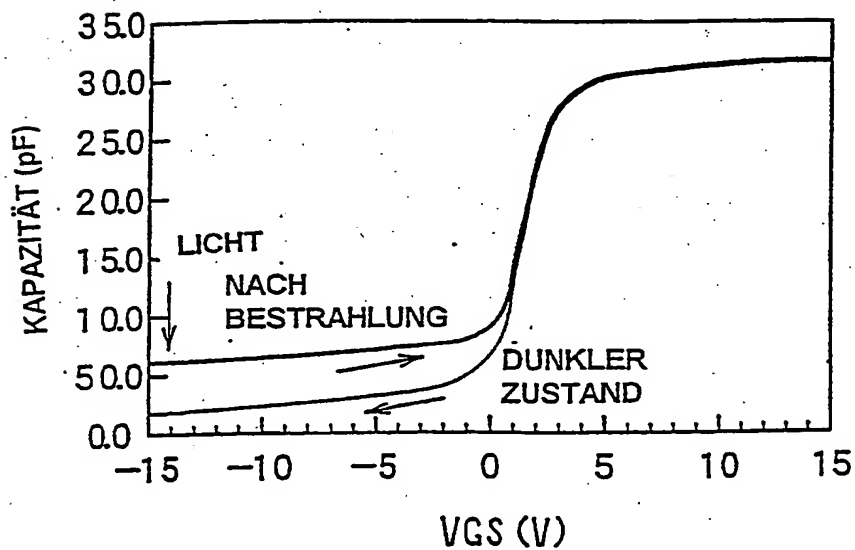


FIG. 12

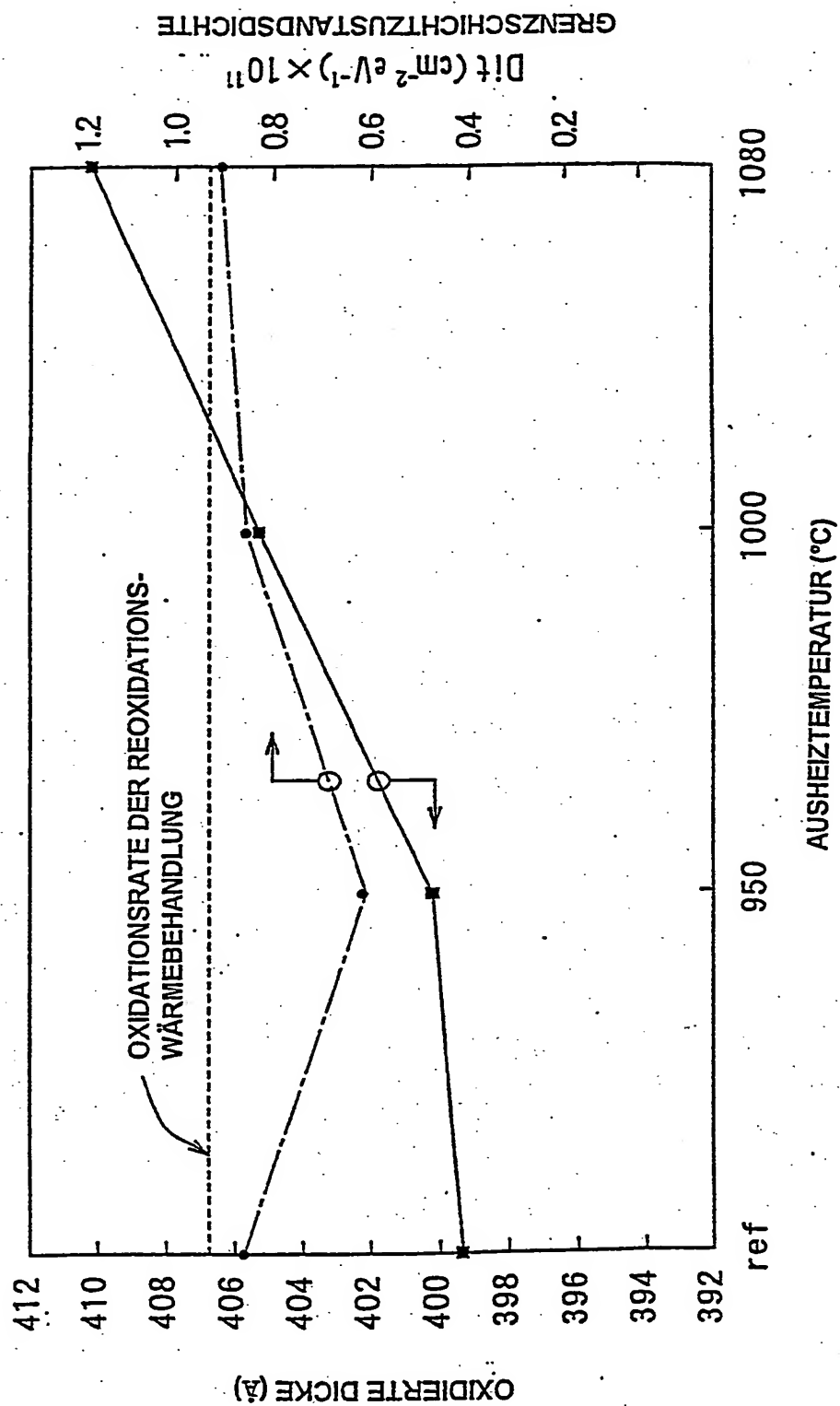


FIG. 13

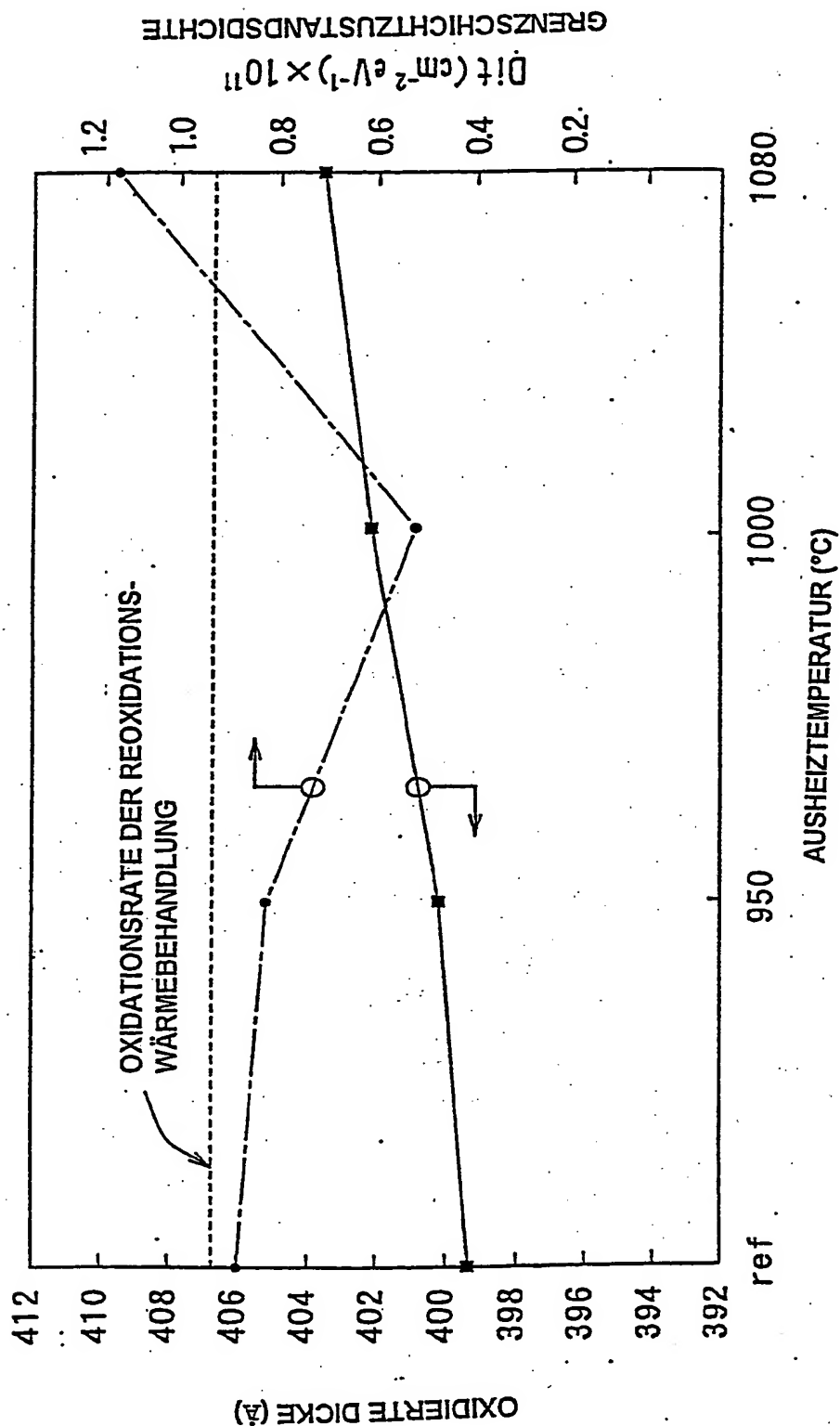


FIG. 14

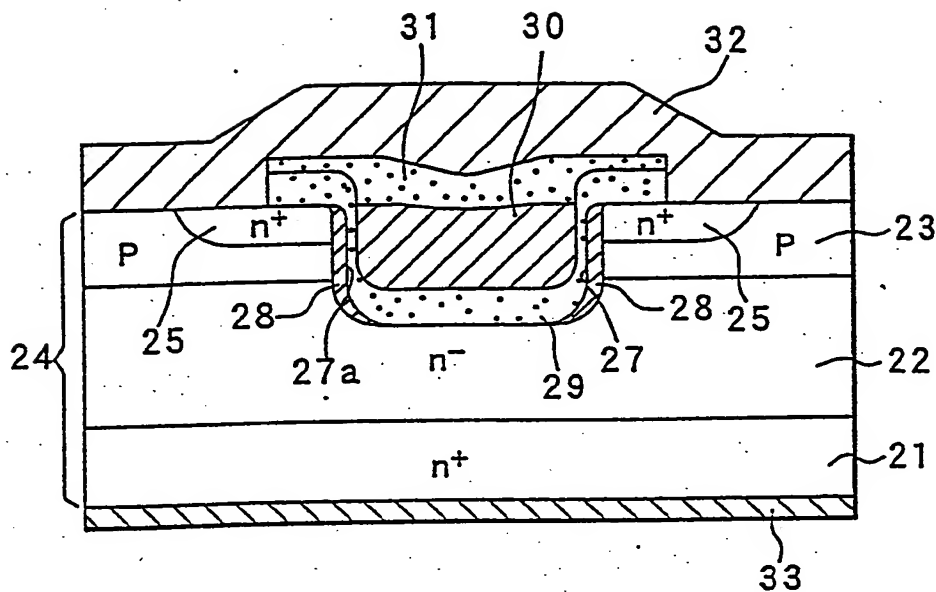


FIG. 15

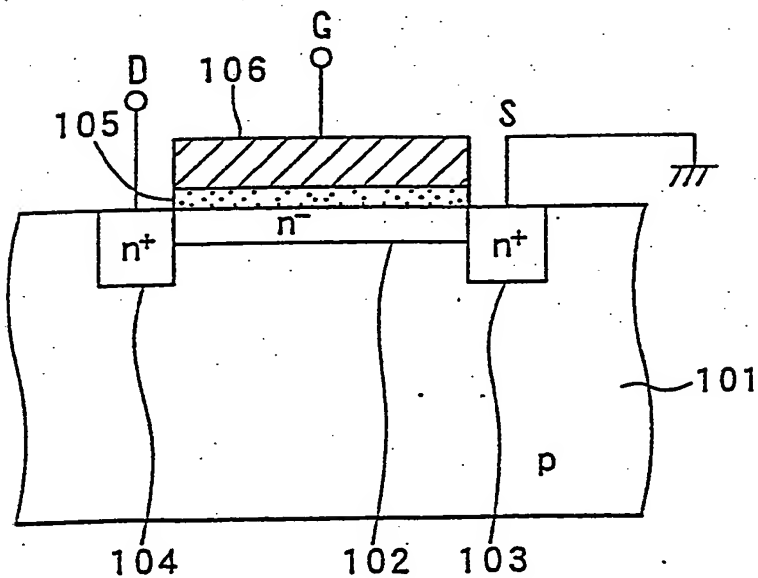
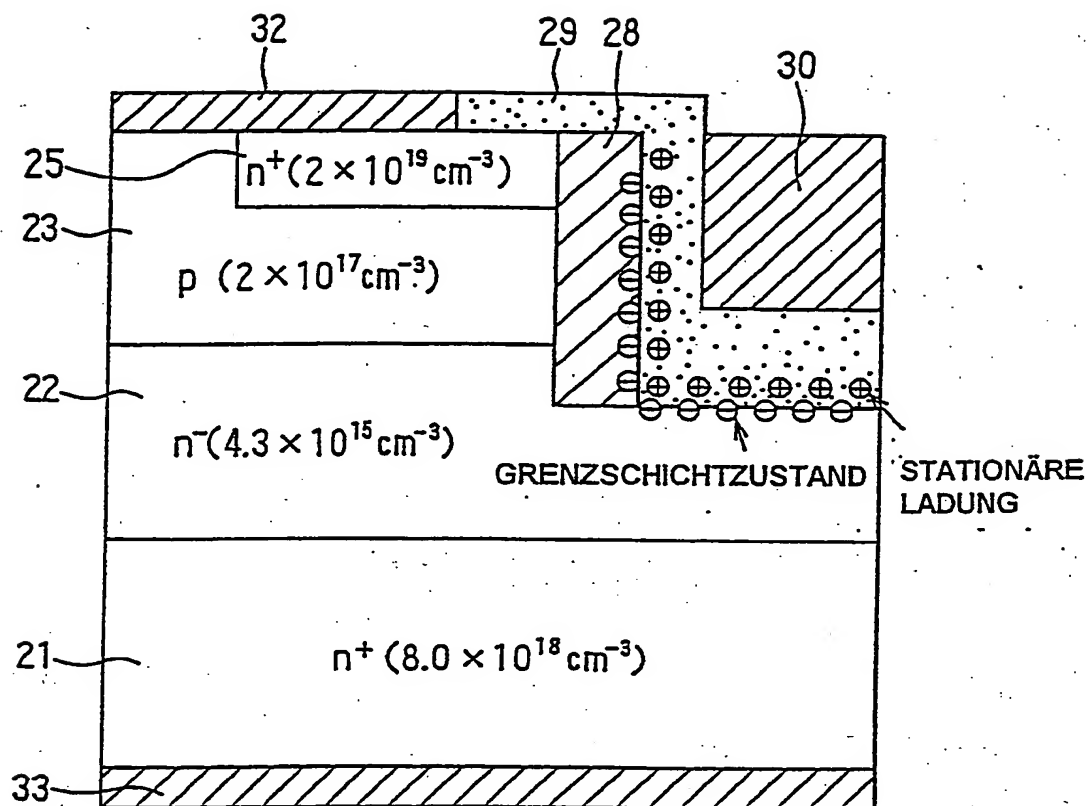


FIG. 16



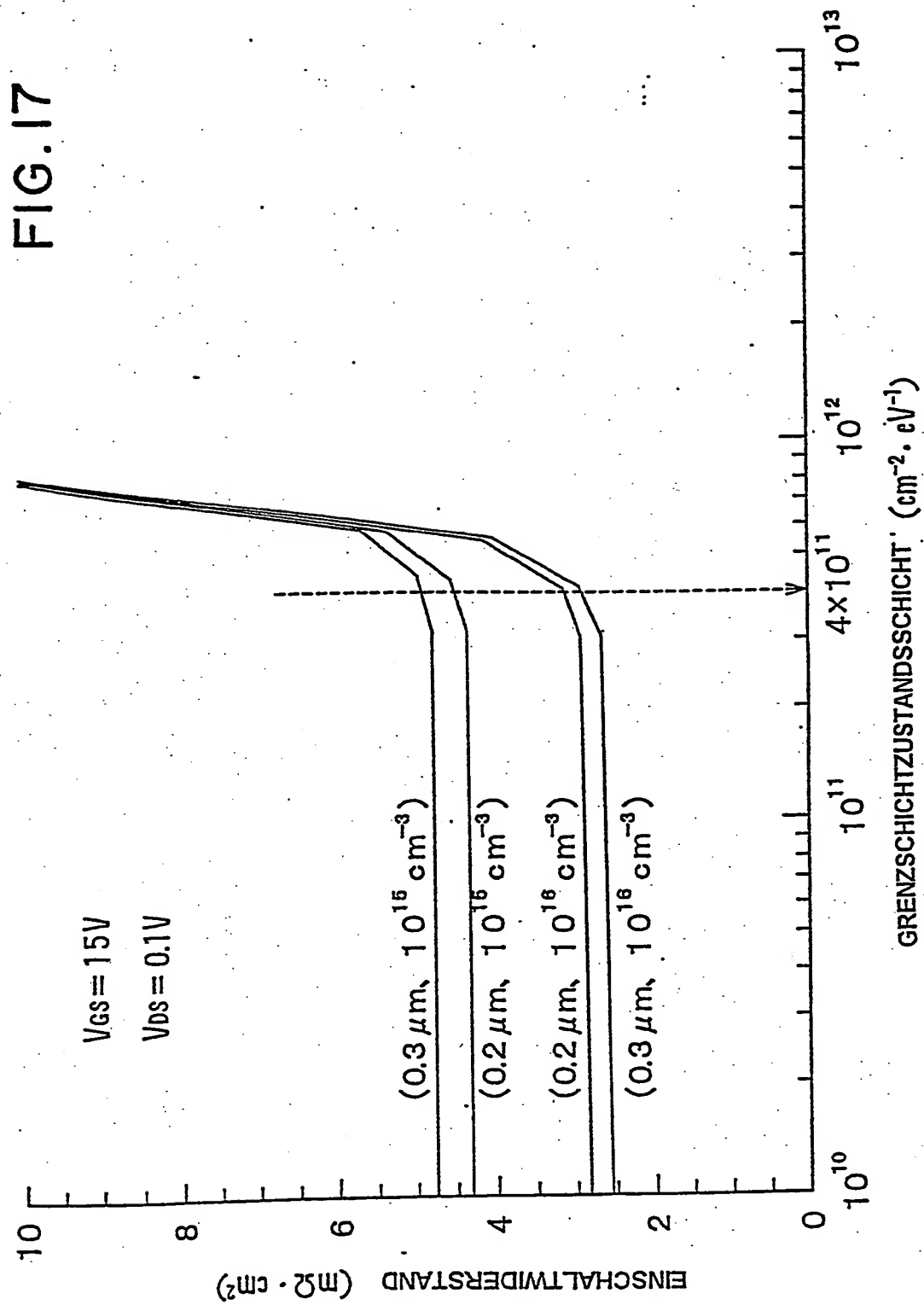




FIG.18A

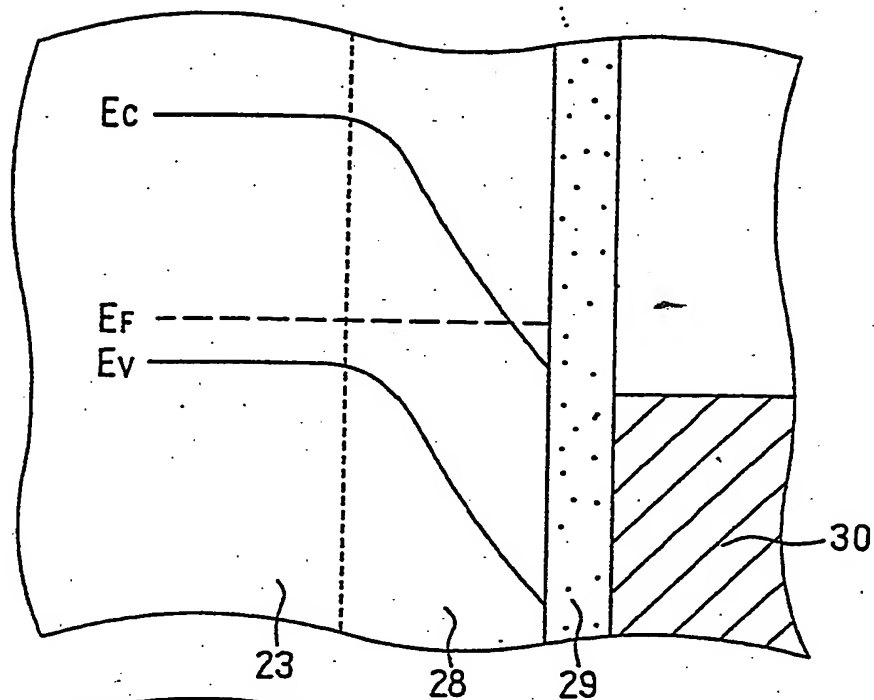


FIG.18B

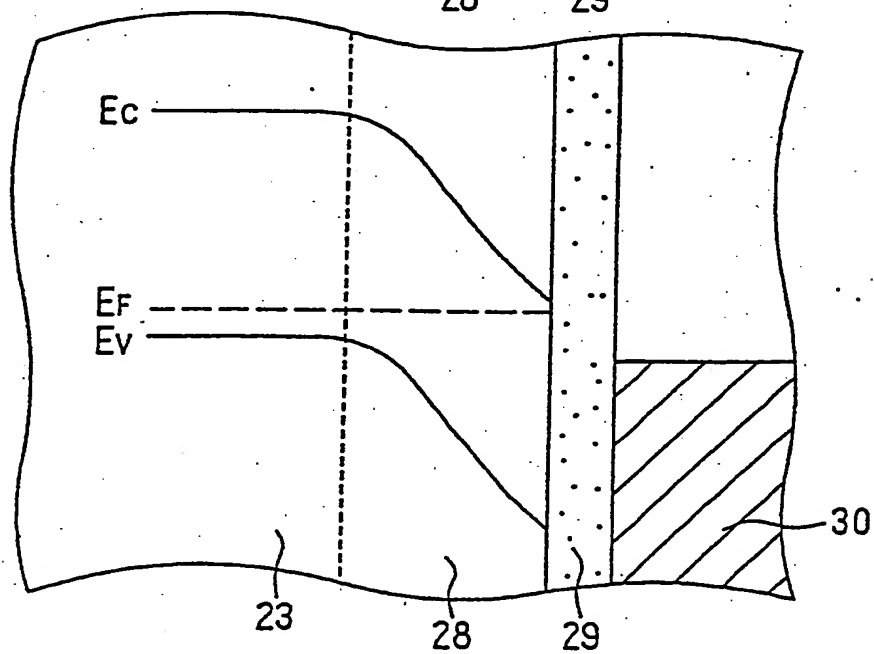


FIG. 19

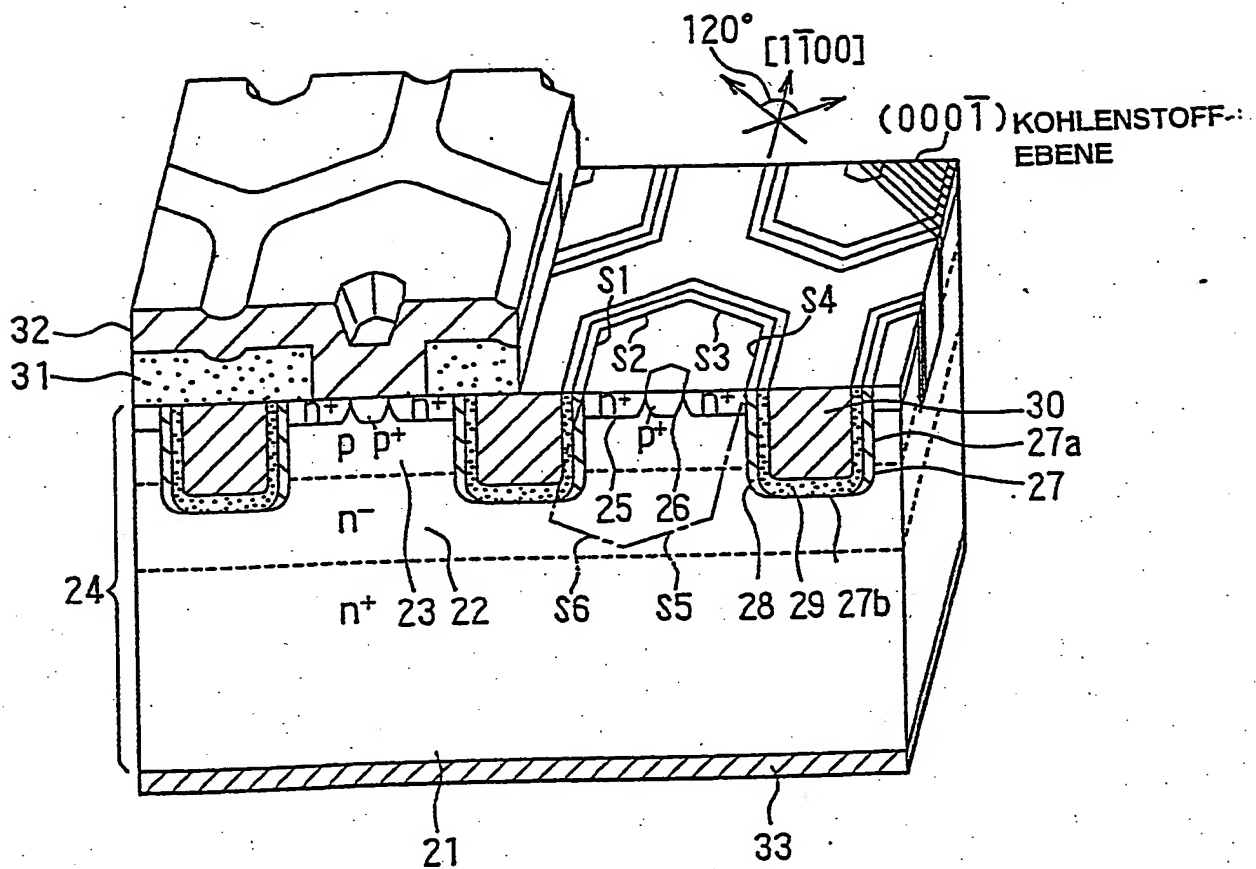


FIG. 20

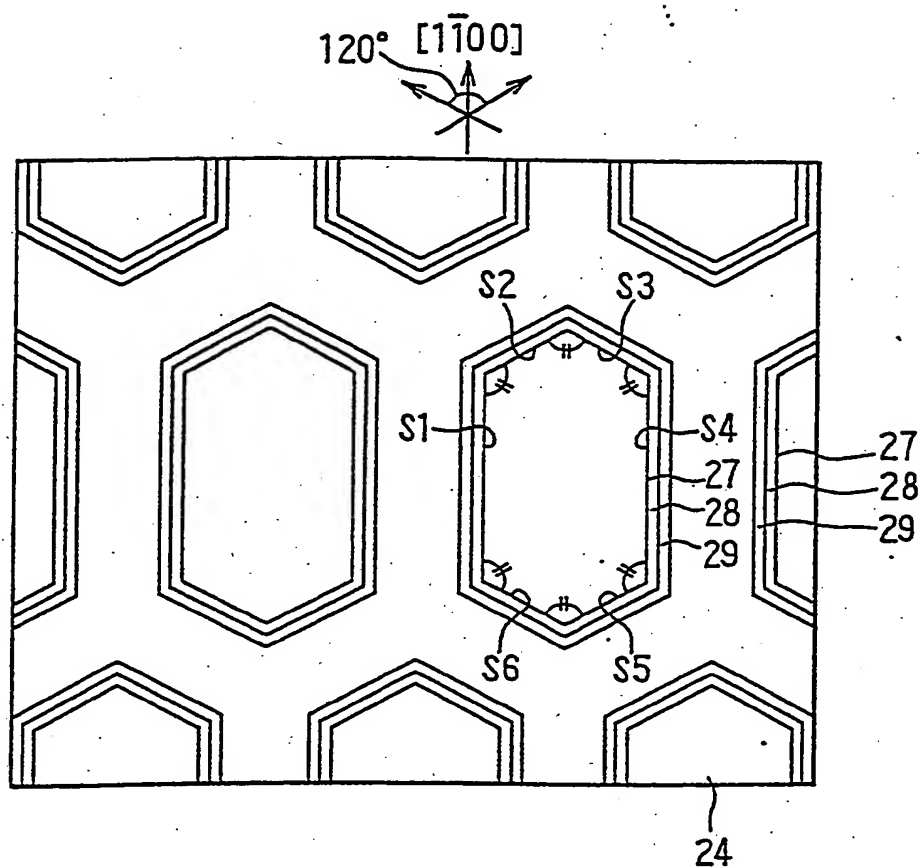


FIG. 21

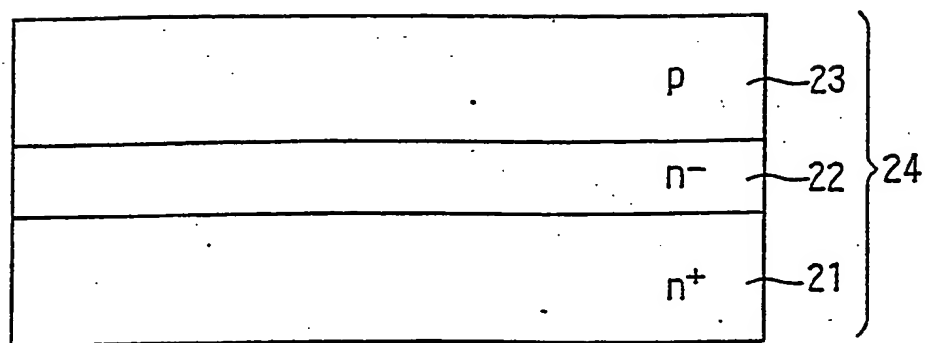


FIG. 22

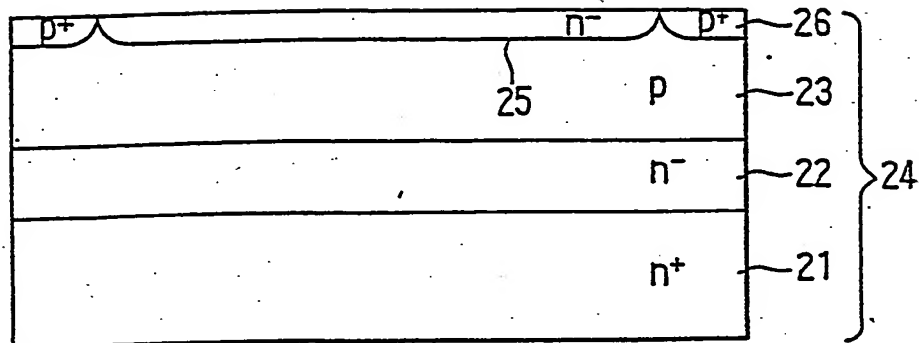


FIG. 23

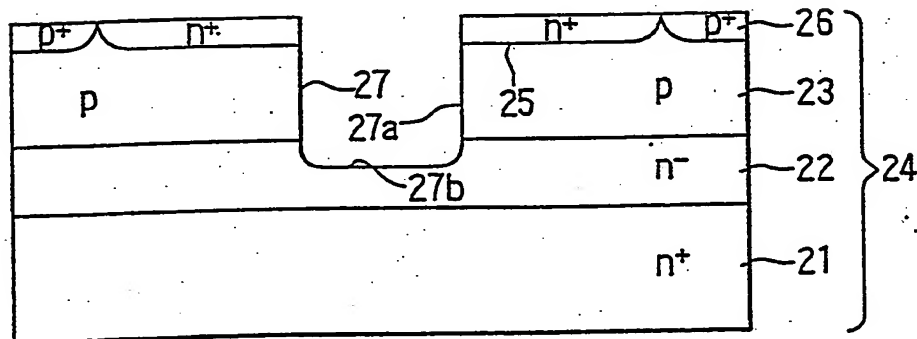


FIG. 24

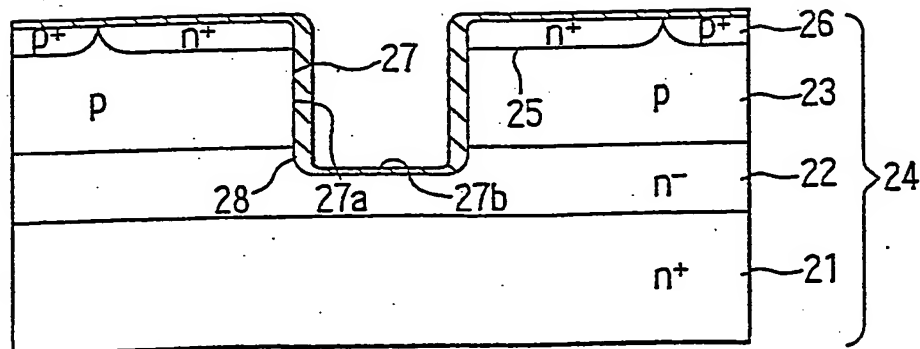


FIG. 25

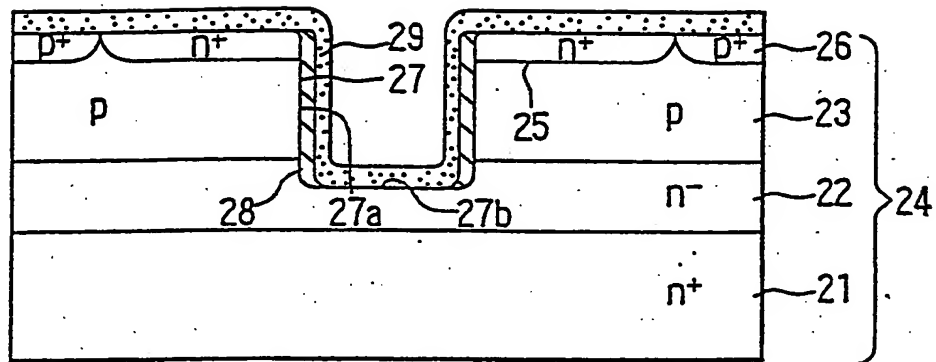


FIG. 26

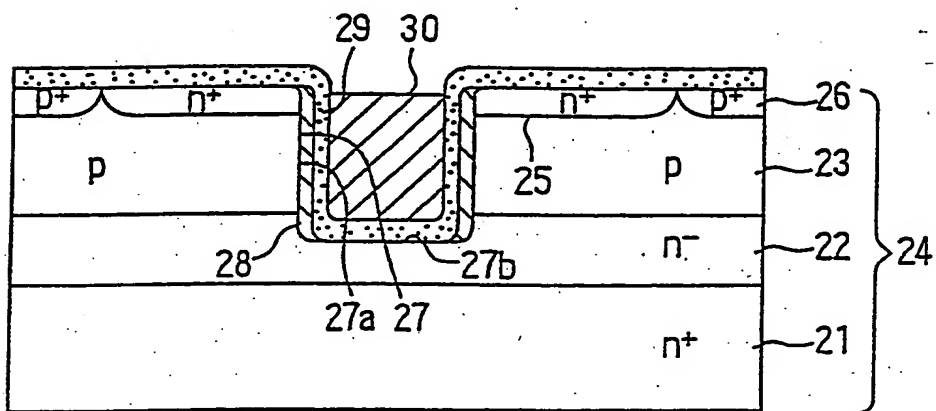


FIG. 27

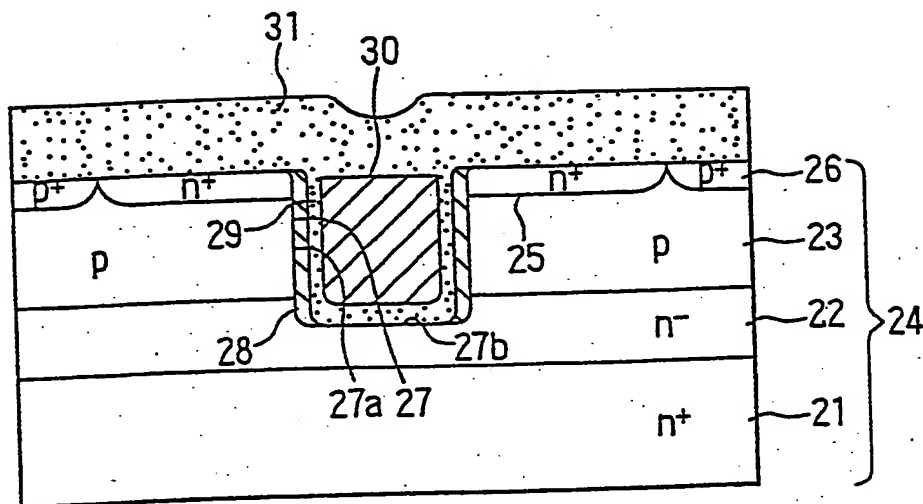


FIG. 28

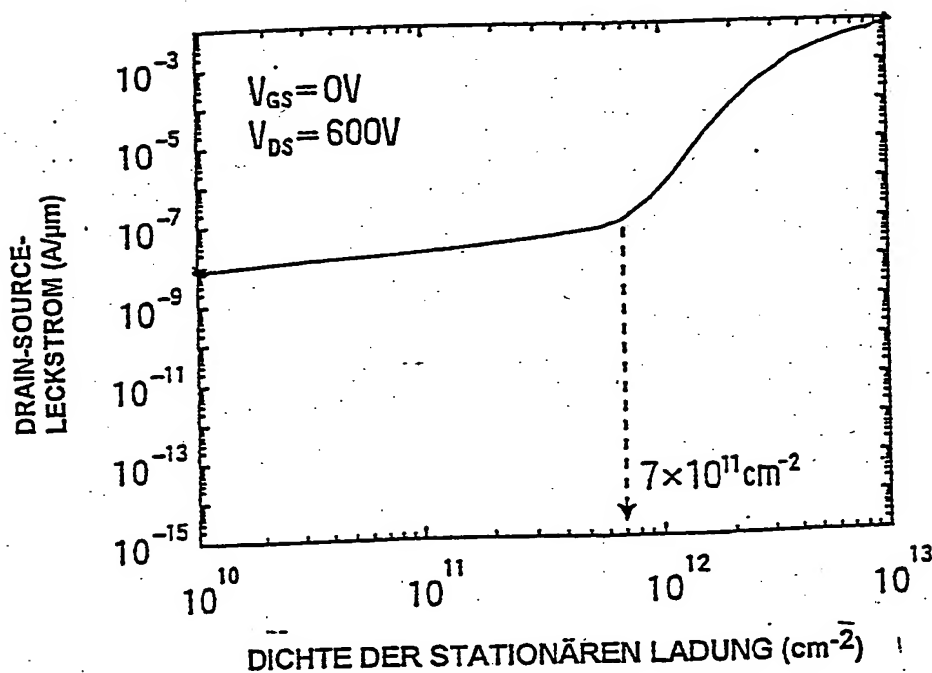


FIG. 29A

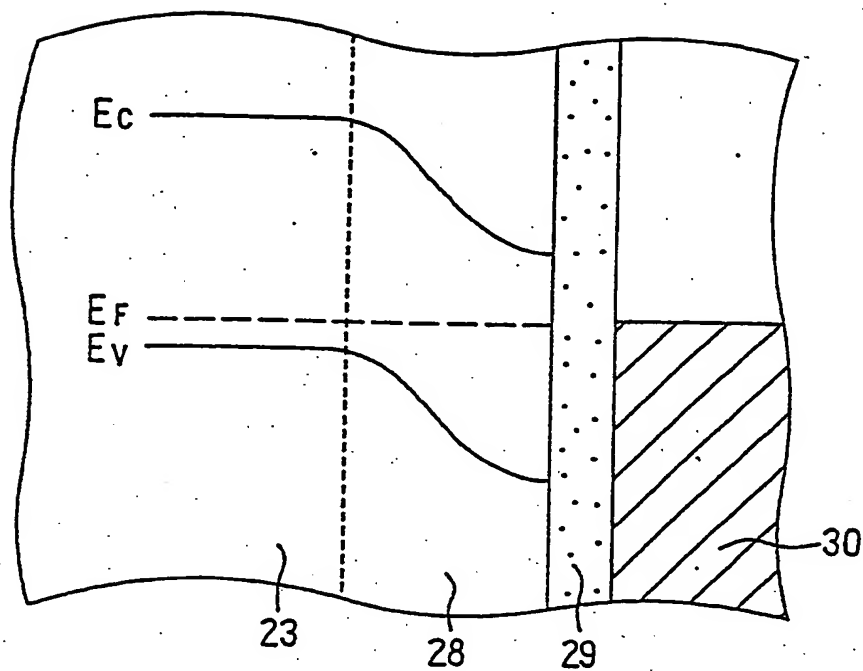


FIG. 29B

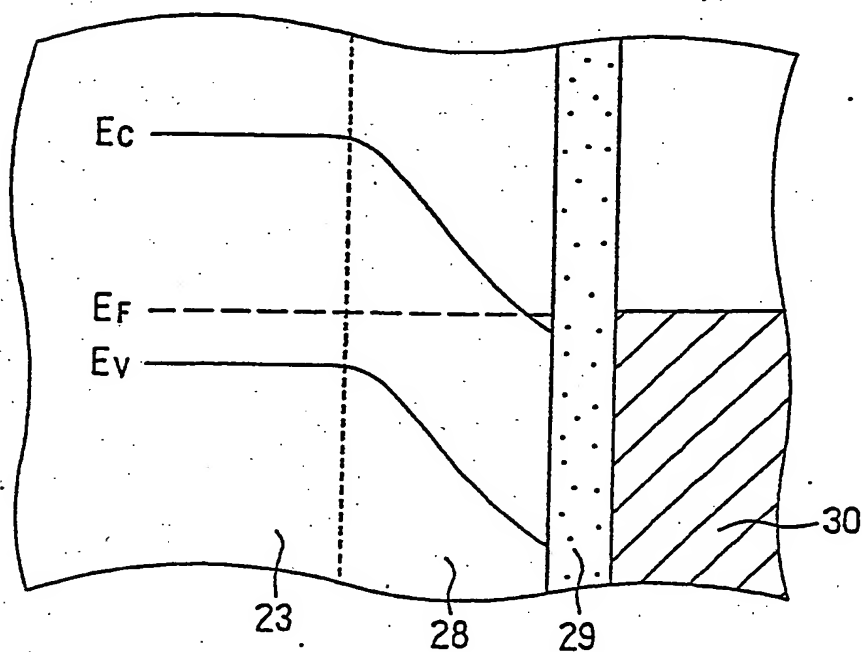


FIG. 30

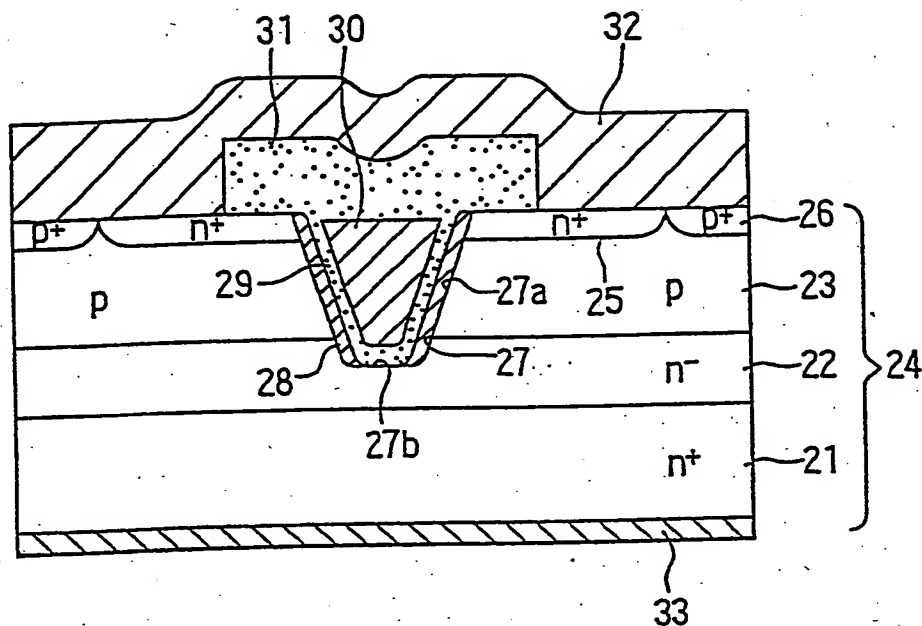


FIG. 31

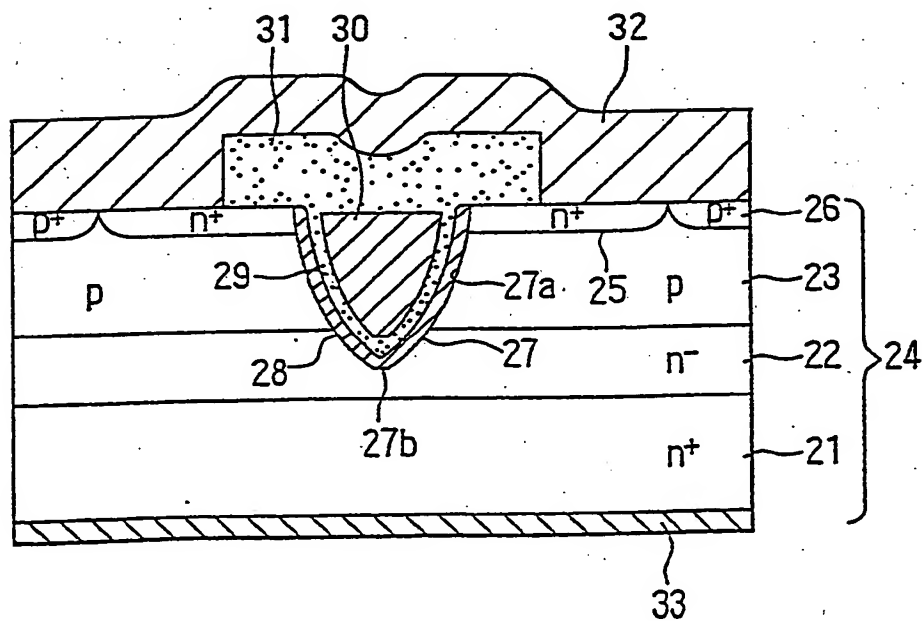




FIG. 32

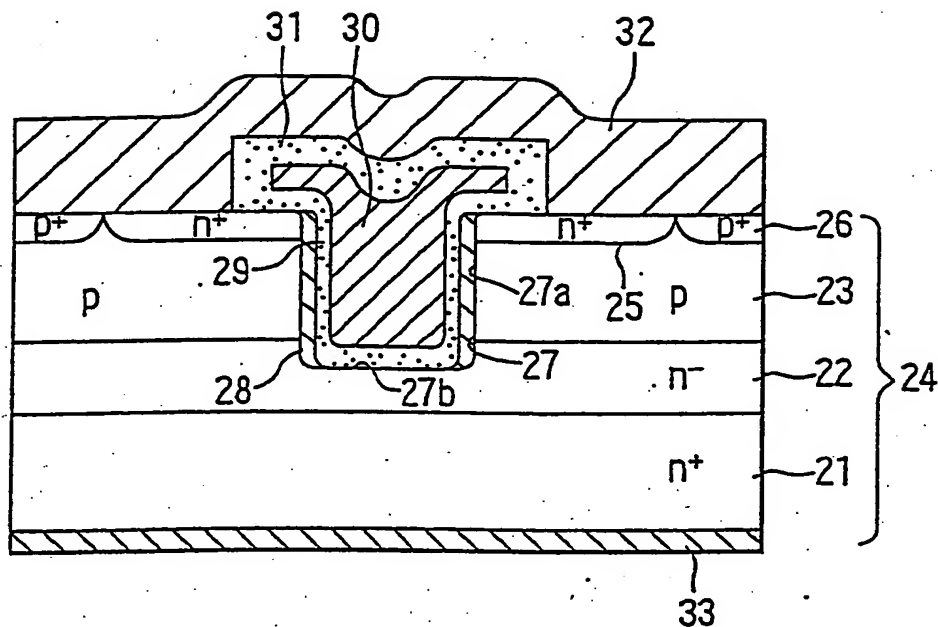


FIG. 33

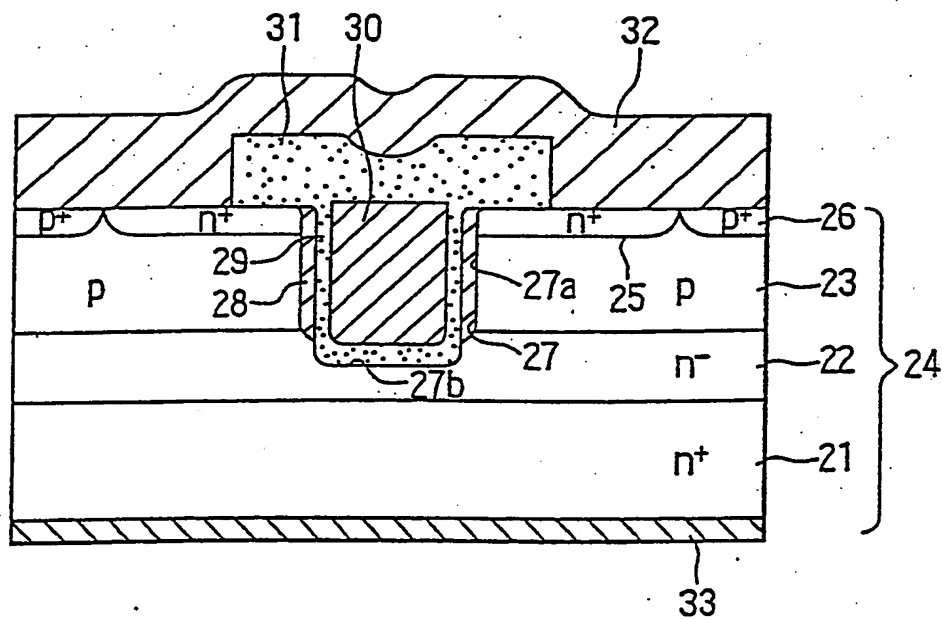


FIG. 34

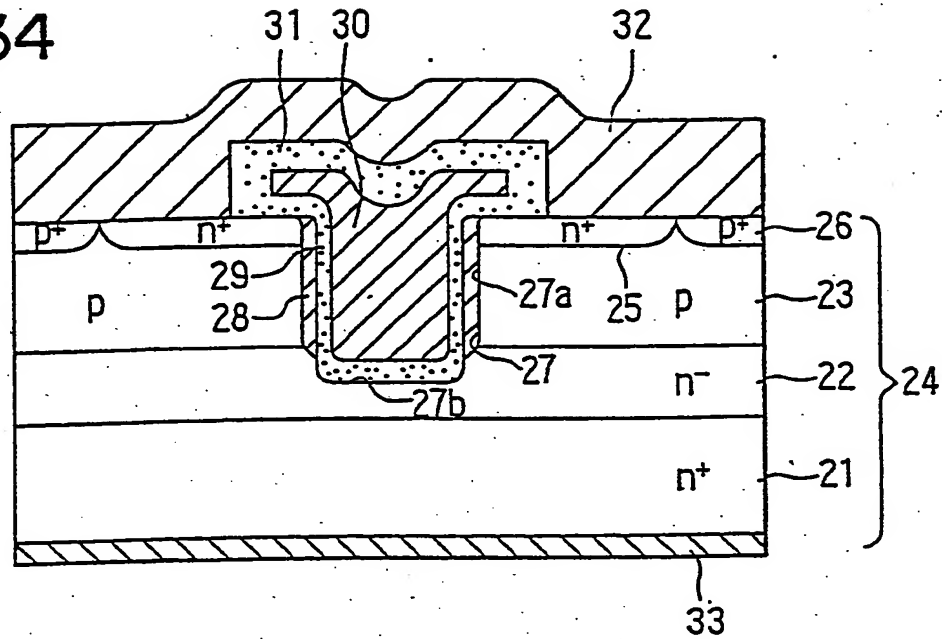


FIG. 36

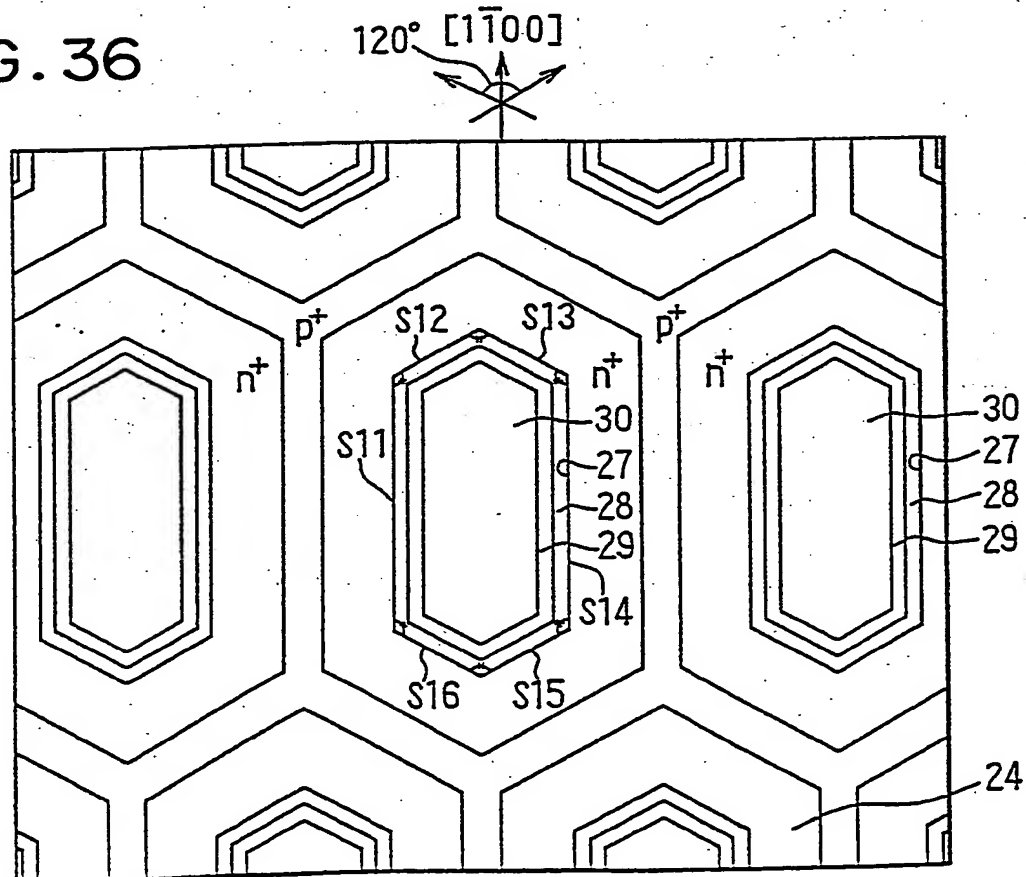




FIG. 37

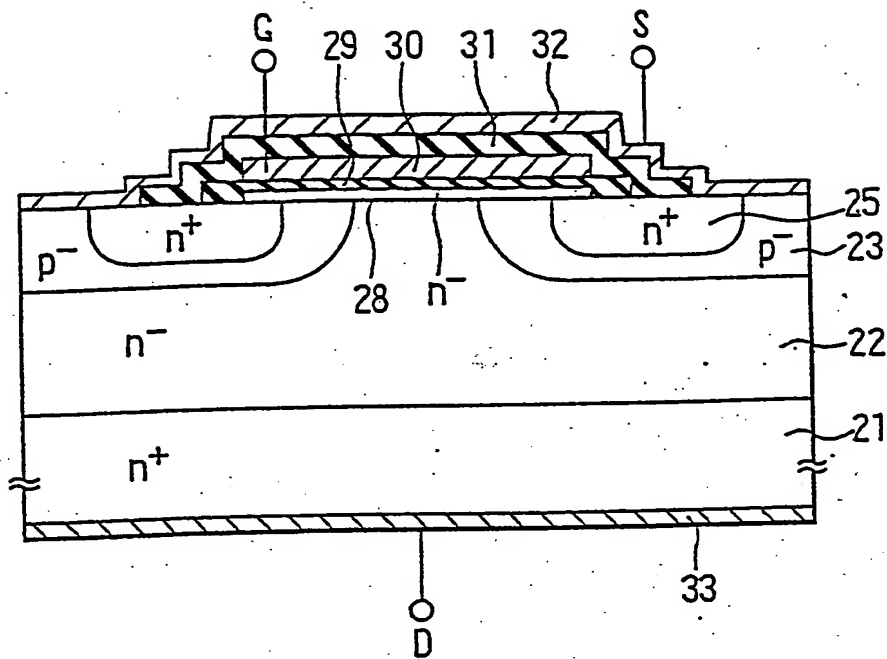


FIG. 38

